

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#5  
J1011 U.S. PRO  
09/873832  
06/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

2000年 6月 6日

出願番号  
Application Number:

特願2000-168330

出願人  
Applicant(s):

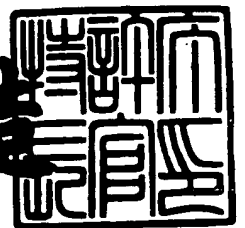
株式会社半導体エネルギー研究所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月13日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3031158

【書類名】 特許願

【整理番号】 P004965

【提出日】 平成12年 6月 6日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 山崎 舜平

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 荒井 康行

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 木村 肇

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置及びその作製方法

【特許請求の範囲】

【請求項 1】

映像信号電圧を階調表示するための駆動電圧に変換する  $\gamma$  補正回路と、前記  $\gamma$  補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーとを有することを特徴とする表示装置。

【請求項 2】

映像信号電圧を階調表示するための駆動電圧に変換する  $\gamma$  補正回路が第 1 の基板に形成され、前記  $\gamma$  補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーが第 2 の基板に形成され、前記第 1 の基板に前記第 2 の基板が固定されていることを特徴とする表示装置。

【請求項 3】

画素部と、周囲の明るさを検知する光センサーと、前記光センサーの電気信号を基に前記画素部の輝度を調節する制御回路とを有することを特徴とする表示装置。

【請求項 4】

画素部と、駆動回路と、周囲の明るさを検知する光センサーと、前記光センサーの電気信号を基に前記画素部の輝度を調節する制御回路とを有することを特徴とする表示装置。

【請求項 5】

光センサーと、前記光センサーに接続するソースフォロワ回路と、前記ソースフォロワ回路に接続する  $\gamma$  補正回路と、前記  $\gamma$  補正回路に接続する映像信号増幅回路と、前記映像信号増幅回路に接続するソース信号線駆動回路と、前記ソース信号線駆動回路に接続する画素部とを有することを特徴とする表示装置。

【請求項 6】

第 1 の基板に、画素部と、駆動回路と、前記画素部の輝度を調節する制御回路とが形成され、第 2 の基板に光センサーが形成され、前記第 1 の基板に前記第 2 の基板が固定され、前記光センサーは前記制御回路と電氣的に接続していること

を特徴とする表示装置。

【請求項 7】

請求項 3 乃至請求項 6 のいずれか一項において、前記画素部は、画素電極と、液晶層と、対向電極とを少なくとも有することを特徴とする表示装置。

【請求項 8】

請求項 3 乃至請求項 6 のいずれか一項において、前記画素部は、画素電極と、自発光層とを少なくとも有することを特徴とする表示装置。

【請求項 9】

請求項 1 乃至請求項 6 において、前記光センサーは非晶質シリコン層を光電変換層に含むことを特徴とする表示装置。

【請求項 1 0】

第 1 の基板上に薄膜トランジスタで画素部を形成する工程と、第 2 の基板上に光センサーを形成する工程と、前記第 1 の基板に前記第 2 の基板を固定する工程とを有することを特徴とする表示装置の作製方法。

【請求項 1 1】

第 1 の基板上に薄膜トランジスタで画素部と、前記画素部の駆動回路と、前記画素部の輝度を制御する制御回路とを形成する工程と、第 2 の基板上に光センサーを形成する工程と、前記第 1 の基板に前記第 2 の基板を固定し、前記制御回路と前記光センサー電氣的に接続する工程とを有することを特徴とする表示装置の作製方法。

【請求項 1 2】

請求項 1 0 または請求項 1 1 において、前記画素部は、画素電極と液晶層と対向電極とを少なくとも形成することを特徴とする表示装置の作製方法。

【請求項 1 3】

請求項 1 0 または請求項 1 1 において、前記画素部は、画素電極と自発光層とを少なくとも形成することを特徴とする表示装置の作製方法。

【請求項 1 4】

請求項 1 0 または請求項 1 1 において、前記光センサーは非晶質シリコン層を光電変換層に形成することを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本願発明は、周囲の明るさに応じて輝度調節が可能な表示装置及びその作製方法に関する。

【 0 0 0 2 】

【従来の技術】

基板上に薄膜トランジスタ（以下、T F Tという）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用が進められている。特に、多結晶シリコン膜を用いたT F Tは、従来のアモルファスシリコン膜を用いたT F Tと比較して電界効果移動度が高いため、ドライバI Cとして実装していた駆動回路を、T F Tを用いて同一基板上に形成することが可能になった。

【 0 0 0 3 】

このようなドライバー体型のアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの向上など、様々な利点が得られるとして注目されている。

【 0 0 0 4 】

ところで、T F Tを画素部に形成するアクティブマトリクス型液晶表示装置は、数十から数百万個の各画素にT F Tが配置され、そのT F Tのそれぞれに画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、画素電極と対向電極とで、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をT F Tのスイッチング機能により制御して、このコンデンサへ電荷を蓄積することで液晶を駆動し、液晶を透過する光量を調節して画像を表示する仕組みとなっている。光源は、外光を利用する反射型液晶表示装置もあるが、バックライトまたはフロントライトを用いた液晶表示装置が一般的である。

【 0 0 0 5 】

一方、アクティブマトリクス型E L（Electro Luminescence）表示装置は、各画素のそれぞれにT F Tでなるスイッチング素子（以下スイッチング用T F Tと

いう) を設け、そのスイッチング用 T F T によって電流制御を行う駆動素子 (以下電流制御用 T F T という) を動作させて E L 層 (厳密には発光層) を発光させる。例えば特開平 1 0 - 1 8 9 2 5 2 号に記載された E L 表示装置がある。

#### 【 0 0 0 6 】

本願発明は、前記課題を解決することを目的とする。なお、E L 表示装置において、陰極、E L 層、及び陽極からなる E L 素子の発光輝度は、E L 素子を流れる電流量による調節が可能であるが、E L 素子を流れる電流量は、E L 素子の電位を変えることで制御することができる。

#### 【 0 0 0 7 】

このように、アクティブマトリクス型表示装置は、外光を利用するにしろ、自発光の光を用いるにしろ、映像信号に基づいた入力電圧により画面の輝度の強弱を T F T で制御して画像表示を行う仕組みとなっている。

#### 【 0 0 0 8 】

##### 【発明が解決しようとする課題】

しかしながら、従来の表示装置は画像表示を行うための入力電圧特性が固定であり、必要とされる表示装置の最大輝度が周囲環境によって異なることへの配慮がなされてなかった。例えば、周囲の環境が夜間であり暗い場合には、昼間屋外で使用する場合と同等の輝度がなくても認識することができる。

#### 【 0 0 0 9 】

上記問題点を解決するために、本発明は、周囲の明るさに応じて輝度調節を自動的に調節することを可能とする表示装置を提供することを目的とする。

#### 【 0 0 1 0 】

##### 【課題を解決するための手段】

上記問題点を解決するために、本発明の構成は、映像信号電圧を階調表示するための駆動電圧に変換する  $\gamma$  補正回路と、前記  $\gamma$  補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーとを有することを特徴としている。この場合、映像信号電圧を階調表示するための駆動電圧に変換する  $\gamma$  補正回路は第 1 の基板に形成され、前記  $\gamma$  補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーが第 2 の基板に形成され、前記第 1 の基板に前記第 2

の基板が固定されている構成が望ましい。

#### 【 0 0 1 1 】

また、他の発明の構成は、画素部と、周囲の明るさを検知する光センサーと、前記光センサーの電気信号を基に前記画素部の輝度を調節する制御回路とを有することを特徴としている。光センサーはソースフォロワ回路に接続し、前記ソースフォロワ回路に接続する $\gamma$ 補正回路と、前記 $\gamma$ 補正回路に接続する映像信号増幅回路と、前記映像信号増幅回路に接続するソース信号線駆動回路と、前記ソース信号線駆動回路に接続する画素部とを有している。本発明で用いられる光センサーは、好適には非晶質シリコン層を光電変換層に含む光センサーを適用する。

#### 【 0 0 1 2 】

また、他の発明の構成は、第 1 の基板上に薄膜トランジスタで画素部を形成する工程と、第 2 の基板上に光センサーを形成する工程と、前記第 1 の基板に前記第 2 の基板を固定する工程とを有することを特徴としている。

#### 【 0 0 1 3 】

また、他の発明の構成は、第 1 の基板上に薄膜トランジスタで画素部と、前記画素部の駆動回路と、前記画素部の輝度を制御する制御回路とを形成する工程と、第 2 の基板上に光センサーを形成する工程と、前記第 1 の基板に前記第 2 の基板を固定し、前記制御回路と前記光センサー電氣的に接続する工程とを有することを特徴としている。

#### 【 0 0 1 4 】

##### 【発明の実施の形態】

図 1 はデジタル駆動方式のアクティブマトリクス型表示装置の回路構成のブロック図を示す。画素部 1 0 1 はゲート信号線駆動回路 1 0 2 から延在する複数のゲート線 1 1 3 と、ソース信号線駆動回路 1 0 2 から延在する複数のソース線 1 1 4 とが交差して形成され、各交点に T F T を設けて形成されている。画素部に入力されるデジタルデータ信号を形成する映像信号処理回路 1 1 2 を有している。

#### 【 0 0 1 5 】

周囲の明るさを検知して画素部に入力する画像信号の振幅を制御する制御回路

100は、光センサー107、光センサー107からの出力を検出する検出回路108、A/D変換回路109、演算処理回路110、 $\gamma$ 補正回路111から成っている。

#### 【0016】

図2は検出回路108を説明する回路図であり、リセット用TFT202を導通状態にすると光センサー201には逆バイアス電圧が印加される。（以後、光センサー201の一侧端子の電位が電源電圧の電位まで充電される動作をリセットと呼ぶ）その後、リセット用TFT202を非導通状態にする。その時、光センサー201の起電力により、時間が経過するに従い電源電圧の電位まで充電されていた光センサー201の一侧端子の電位が光電変換によって発生した電荷によって徐々に低下する。そして、ある一定時間を経過した後、スイッチ用TFT204を導通状態とすると、増幅用TFT203を通して出力側に信号が出力される。

#### 【0017】

この場合、増幅用TFT203とバイアス用TFT204はいわゆるソースフォロワ回路として動作する。図2ではソースフォロワ回路をnチャンネル型TFTで形成した例で示されているが、勿論、pチャンネル型TFTでも形成することができる。増幅側電源線205には電源電圧V<sub>dd</sub>が加えられている。バイアス側電源線206は基準電位0Vが与えられている。増幅用TFT203のドレイン側端子は増幅側電源線に接続され、ソース側端子はバイアス用TFT204のドレイン端子に接続されている。バイアス用TFT204のソース側端子はバイアス側電源線206に接続されている。バイアス用TFT204のゲート端子にはバイアス電圧V<sub>b</sub>が印加され、このTFTにはバイアス電流I<sub>b</sub>が流れる。バイアス用TFT204は基本的には定電流源として動作する。増幅用TFT203のゲート端子には入力電圧V<sub>in</sub>が加えられ、ソース端子が出力端子となる。このソースフォロワ回路の入出力関係は、 $V_{out} = V_{in} - V_b$ となる。

#### 【0018】

この出力電圧V<sub>out</sub>はA/D変換回路109によりデジタル信号に変換する。デジタル信号は演算処理回路110に入力された信号に対して、あらかじめ設定



しておいた比較データに基づき画像の輝度を補正するための補正信号に変換する。 $\gamma$ 補正回路 1 1 1 はこの補正信号に基づいて補正電圧を発生し、映像信号処理回路 1 1 2 に補正電圧を出力する。

## 【 0 0 1 9 】

映像信号処理回路 1 1 2 ではアナログ信号又はデジタル信号でなるビデオ信号（画像情報を含む信号）を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させ、ソース信号線駆動回路に入力する。

## 【 0 0 2 0 】

映像信号処理回路 1 1 2 には時分割階調データ信号発生回路が含まれ、この回路には 1 フレーム期間を  $n$  ビット（ $n$  は 2 以上の整数）の階調に対応した複数のサブフレーム期間に分割する手段と、それら複数のサブフレーム期間においてアドレス期間及びサステイン期間を選択する手段と、そのサステイン期間を  $T s 1 : T s 2 : T s 3 : \dots : T s (n-1) : T s (n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$  となるように設定する手段とが含まれている。

## 【 0 0 2 1 】

次に時分割階調表示について、図 2 0 を用いて説明する。ここでは  $n$  ビットデジタル駆動方式により  $2^n$  階調のフルカラー表示を行う場合について説明する。まず、図 2 0 に示すように 1 フレーム期間を  $n$  個のサブフレーム期間（ $S F 1 \sim S F n$ ）に分割する。なお、画素部の全ての画素が 1 つの画像を表示する期間を 1 フレーム期間と呼ぶ。通常の E L ディスプレイでは発振周波数は 6 0 H z 以上、即ち 1 秒間に 6 0 以上のフレーム期間が設けられており、1 秒間に 6 0 以上の画像が表示されている。1 秒間に表示される画像の数が 6 0 より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。また、1 フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて 1 フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

## 【 0 0 2 2 】

1 つのサブフレーム期間はアドレス期間（ $T a$ ）とサステイン期間（ $T s$ ）と

に分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間とは、画素がオン状態（明状態）でいる期間を示している。

## 【 0 0 2 3 】

$n$ 個のサブフレーム期間（ $SF1 \sim SFn$ ）がそれぞれ有するアドレス期間（ $Ta1 \sim Tan$ ）の長さは全て一定である。 $SF1 \sim SFn$ がそれぞれ有するサステイン期間（ $Ts$ ）をそれぞれ $Ts1 \sim Ts n$ とする。サステイン期間の長さは、 $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。但し、 $SF1 \sim SFn$ を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで $2^n$ 階調のうち所望の階調表示を行うことができる。

## 【 0 0 2 4 】

サステイン期間は $\gamma$ 補正回路111からの補正電圧に基づいて決定され、周囲の明るさに応じて映像の輝度調整を行う。

## 【 0 0 2 5 】

ソース信号側駆動回路103は基本的にシフトレジスタ104、ラッチA105、ラッチB106を有している。また、シフトレジスタ104にはクロックパルス（CLK）及びスタートパルス（SP）が入力され、ラッチA105にはデジタルデータ信号（Digital Data Signals）が入力され、ラッチB106にはラッチ信号（Latch Signals）が入力される。なお、図1においてソース信号側駆動回路103は1つだけ設けられているが、ソース信号側駆動回路は複数個設けても良い。

## 【 0 0 2 6 】

また、ゲート信号側駆動回路103は、シフトレジスタ、バッファ等（いずれも図示せず）を有している。なお、図2（A）においてゲート信号側駆動回路103は2つ設けられているが、本願発明においてデータ信号側駆動回路は1つであってもよい。

## 【 0 0 2 7 】

図15はアナログ駆動方式のアクティブマトリクス型表示装置の構成を示すブ

ロック図を示す。121はソース信号線駆動回路、102はゲート信号線駆動回路である。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つつ設けたが、本願発明はこの構成に限定されない。ソース信号線駆動回路を2つつ設けても良い。また、ゲート信号線駆動回路を2つつ設けても良い。

#### 【0028】

ソース信号線駆動回路121は、シフトレジスタ122、レベルシフト123、サンプリング回路124を有している。なおレベルシフトは必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフトはシフトレジスタ122とサンプリング回路124との間に設ける構成としたが、本願発明はこの構成に限定されない。シフトレジスタ122の中にレベルシフト123が組み込まれている構成にしても良い。

#### 【0029】

クロック信号（CLK）、スタートパルス信号（SP）がシフトレジスタ122に入力される。シフトレジスタ122からアナログの信号（アナログ信号）をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト123に入力され、その電位の振幅が大きくなって出力される。

レベルシフト123から出力されたサンプリング信号は、サンプリング回路124に入力される。そしてサンプリング回路124に入力されるアナログの映像表示信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線に入力される。

#### 【0030】

周囲の明るさを検知して画素部に入力する画像信号の振幅を制御する制御回路120は、光センサー126、光センサー126からの出力を検出する検出回路127、演算処理回路128、 $\gamma$ 補正回路129から成っている。光センサー127と検出回路127の回路構成は図2と同様なものであり、この出力電圧 $V_{out}$ は演算処理回路128に入力された信号に対して、画像の輝度を補正するための補正信号に変換する。映像信号処理回路129では、補正信号に基づいて映像信号の振幅を変化させ、輝度調整を行う。

## 【 0 0 3 1 】

このように、アナログ駆動方式のアクティブマトリクス型表示装置であっても、光センサーを取り付け、光センサーが検知する周囲の明るさを基に補正電圧を変化させ電圧階調を行って輝度調節を行うことができる。尚、ここで示した画素部及やその駆動回路の構成は一例であり、本実施形態で示す構成に何ら限定されるものではない。

## 【 0 0 3 2 】

## 【実施例】

## [実施例 1]

図 3 は輝度の自動調節機能を有するアクティブマトリクス型表示装置の概略図を示している。絶縁表面を有する基板 3 0 0 には、画素部 3 0 1、ゲート線駆動回路 2 0 2 a、2 0 2 b、ソース線駆動回路 3 0 3 a、3 0 3 b、制御回路 3 0 5、映像信号処理回路 3 0 4、入力端子 3 0 7、光センサー 3 0 6 が設けられている。光センサーの数は特に限定はなく、一つでも良いし、図 3 で示すように複数個設けても良い。複数個の光センサーを設けると、様々な角度からの光を検知してきめ細かな輝度制御を行うことができる。

## 【 0 0 3 3 】

光センサーは非晶質シリコンや C d S など光電効果を有する材料を用いて作製する。光センサーは別基板上に作製し、基板 3 0 0 の画素部 3 0 1 の外側、駆動回路の周辺に取り付ける。この場合、光センサーの受光面と、画素部の映像表示面は同じ方向を向いている。

## 【 0 0 3 4 】

画素部 3 0 1 は、マトリクス状に複数の画素 3 0 8 が配列して形成されている。画素 3 0 8 は表示装置の種類によりその構成は異なるが、いずれにしても各画素には T F T が設けられている。

## 【 0 0 3 5 】

映像信号処理回路 3 0 4 及び制御回路 3 0 5 の構成は図 1（デジタル駆動）または図 1 5（アナログ駆動）と同様なものであり、光センサー 3 0 6 からの出力に応じてソース信号線駆動回路に入力する映像信号の振幅を変化させ輝度調整を行う

。周囲が明るい場合には映像信号の振幅を大きくし、画像の輝度を高くする。暗い場合にはその反対とする。

## 【 0 0 3 6 】

画素部 3 0 1、ゲート信号線駆動回路 3 0 2、ソース信号線駆動回路 3 0 3、映像信号処理回路 3 0 4、制御回路 3 0 5 は T F T を用いて基板 3 0 0 上に形成することができる。

## 【 0 0 3 7 】

本願発明は、アクティブマトリクス型表示装置において、周囲の明るさを光センサーで検知し、この情報に基づいて映像表示の輝度を制御するものである。従って、図 3 の表示装置の構成に限定されるものではなく、図 3 の構造は本願発明を実施する上での好ましい形態の一つに過ぎない。

## 【 0 0 3 8 】

## [実施例 2]

図 3 に示す構成アクティブマトリクス型表示装置は液晶表示装置や E L 表示装置を実現することを可能とする。本実施例では基板上に T F T を形成し、液晶表示装置を作製する場合の例を説明する。

## 【 0 0 3 9 】

まず、図 4 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラス基板 4 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成るブロッキング層 4 0 2 を形成する。例えば、プラズマ C V D 法で  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化シリコン膜を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成し、同様に  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化水素化シリコン膜を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。本実施例ではブロッキング層 4 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

## 【 0 0 4 0 】

島状に分割された半導体層 4 0 3 ~ 4 0 6 は、非晶質構造を有する半導体膜を

、レーザーアニール法やファーンেসアニール炉を用いた熱処理により結晶構造を有する半導体膜（以下、結晶質半導体膜という）で形成する。この島状の半導体層 4 0 3 ~ 4 0 6 の厚さは 2 5 ~ 8 0 nm（好ましくは 3 0 ~ 6 0 nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（S i G e）合金などで形成すると良い。

## 【 0 0 4 1 】

レーザーアニール法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、Y V O<sub>4</sub> レーザーを用いる。レーザー発振器から出力されるレーザー光は、光学系で線状に集光し半導体膜に照射する方法を用いる。アニールの条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 mJ/cm<sup>2</sup>（代表的には 2 0 0 ~ 3 0 0 mJ/cm<sup>2</sup>）とする。また、Y A G レーザーを用いる場合には、第 2 高調波を用いパルス発振周波数 1 ~ 1 0 k H z とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 mJ/cm<sup>2</sup>（代表的には 3 5 0 ~ 5 0 0 mJ/cm<sup>2</sup>）とすると良い。そして幅 1 0 0 ~ 1 0 0 0 μm、例えば 4 0 0 μm で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 8 0 ~ 9 8 % として行う。

## 【 0 0 4 2 】

次いで、島状半導体層 4 0 3 ~ 4 0 6 を覆うゲート絶縁膜 4 0 7 を形成する。ゲート絶縁膜 4 0 7 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 nm としてシリコンを含む絶縁膜で形成する。本実施例では、1 2 0 nm の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜 4 0 7 はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

## 【 0 0 4 3 】

そして、ゲート絶縁膜 4 0 7 上にゲート電極を形成するための第 1 の導電膜 4 0 8 a と第 2 の導電膜 4 0 8 b とを形成する。本実施例では、第 1 の導電膜 4 0 8 a を窒化タンタルまたはチタンで 5 0 ~ 1 0 0 nm の厚さに形成し、第 2 の導電膜 4 0 8 b をタングステンで 1 0 0 ~ 3 0 0 nm の厚さに形成する。これらの材料

は、窒素雰囲気中における 4 0 0 ~ 6 0 0 ℃ の熱処理でも安定であり、抵抗率が著しく増大することがない。

#### 【 0 0 4 4 】

次に図 4 ( B ) に示すように、レジストによるマスク 4 0 9 を形成し、ゲート電極を形成するための第 1 のエッチング処理を行う。エッチング方法に限定はないが、好適には I C P (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いる。エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  を混合し、0. 5 ~ 2 Pa、好ましくは 1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 1 0 0 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$  と  $\text{Cl}_2$  を混合した場合にはタンゲステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッチングすることができる。

#### 【 0 0 4 5 】

上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパ形状とすることができる。テーパ部の角度は 2 5 ~ 4 5 度となるようにする。また、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 % 程度の割合でエッチング時間を増加させると良い。タンゲステンに対する酸化窒化シリコン膜の選択比は 2 ~ 4 (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 2 0 ~ 5 0 nm 程度エッチングされる。こうして、第 1 のエッチング処理により第 1 の導電膜と第 2 の導電膜から成る第 1 の形状の導電層 4 1 0 ~ 4 1 5 (第 1 の導電膜 4 1 0 a ~ 4 1 5 a と第 2 の導電膜 4 1 0 b ~ 4 1 5 b) を形成する。4 1 6 はゲート絶縁膜であり、第 1 の形状の導電層で覆われない領域は 2 0 ~ 5 0 nm 程度エッチングされ薄くなる。

#### 【 0 0 4 6 】

そして、図 4 ( C ) で示すように、第 1 のドーピング処理を行い n 型の不純物 (ドナー) をドーピングする。ドーピングの方法はイオンドープ法若しくはイオン注入法で行う。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$  として行う。n 型を付与する不純物元素として 1 5 族に属する元素、典型的に

はリン (P) または砒素 (As) を用いる。この場合、加速電圧を制御 (例えば、20～60 keV) して、第1の形状の導電層をマスクとして利用する。こうして、第1の不純物領域417～420を形成する。例えば、第1の不純物領域417～420におけるn型の不純物の濃度は $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の範囲で形成する。

## 【0047】

図5 (A) で示す第2のエッチング処理は、同様にICPエッチング装置を用い、エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ を混合して、1 Paの圧力でコイル型の電極に500 WのRF電力(13.56 MHz)を供給してプラズマを生成する。基板側 (試料ステージ) には50 WのRF (13.56 MHz) 電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタンゲステン膜を異方性エッチングし、第1の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。こうして、第2の形状の導電層421～426 (第1の導電膜421a～426aと第2の導電膜421b～426b) を形成する。ゲート絶縁膜は第2の形状の導電層421～426で覆われない領域はさらに20～50 nm程度エッチングされて膜厚が薄くなる。

## 【0048】

次いで、第2のドーピング処理を行う。第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型の不純物 (ドナー) をドーピングする。例えば、加速電圧を70～120 keVとし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、図4 (C) で島状の半導体層に形成された第1の不純物領域の内側に第2の不純物領域427～430を形成する。このドーピングは、第2の形状の導電層423b～426bを不純物元素に対するマスクとして用い、第2の形状の導電層423a～426aの下側の領域に不純物元素が添加されるようにドーピングする。この不純物領域は、第2の形状の導電層423a～426aがほぼ同じ膜厚で残存していることから、第2の形状の導電層に沿った方向における濃度分布の差は小さく、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度でn型の不純物 (ドナー) が含まれるように形成する。

## 【0049】



そして、図 5 (B) に示すように、第 3 のエッチング処理を行い、ゲート絶縁膜のエッチング処理を行う。その結果、第 2 の形状の導電層 4 2 1 a ~ 4 2 6 a もエッチングされ、端部が後退して小さくなり、第 3 の形状の導電層 4 3 1 ~ 4 3 6 (第 1 の導電膜 4 3 1 a ~ 4 3 6 a と第 2 の導電膜 4 3 1 b ~ 4 3 6 b) が形成される。4 3 7 は残存するゲート絶縁膜であり、エッチングをさらに進めて半導体層の表面を露出させても良い。

## 【 0 0 5 0 】

p チャネル型 T F T に対しては、図 5 (C) に示すように、レジストマスク 4 3 8、4 3 9 を形成し、p チャネル型 T F T を形成する島状半導体層に p 型の不純物 (アクセプタ) をドーピングする。p 型の不純物 (アクセプタ) は 1 3 族に属する元素から選ばれ、典型的にはボロン (B) を用いる。第 3 の不純物領域 4 4 0 a ~ 4 4 0 c の不純物濃度は  $2 \times 10^{20} \sim 2 \times 10^{21} / \text{cm}^3$  となるようにする。第 3 の不純物領域にはリンが添加されているが、それ以上の濃度でボロンを添加して導電型を反転させておく。

## 【 0 0 5 1 】

以上までの工程で半導体層に不純物領域が形成される。図 5 において、第 3 の形状の導電層 4 3 3 ~ 4 3 5 はゲート電極となり、第 3 の形状の導電層 4 3 6 は容量配線となる。また、第 3 の形状の導電層 4 3 1、4 3 2 はソース線などの配線を形成する。

## 【 0 0 5 2 】

次に、図 6 (A) では最初に、窒化シリコン膜 ( $\text{SiN} : \text{H}$ ) または酸化窒化シリコン膜 ( $\text{SiN}_x\text{O}_y : \text{H}$ ) から成る第 1 の絶縁膜 4 4 1 をプラズマ CVD 法で形成する。そして導電型の制御を目的としてそれぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。活性化はファーネスアニール炉を用いる熱アニール法で行うことが好ましい。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することもできる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0. 1 ppm 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 6 0 0 °C で行うものであり、本実施例では 5 5 0 °C で 4 時間の熱処理を行う。

## 【 0 0 5 3 】

その後、第1の絶縁膜441上に窒化シリコン膜 ( $\text{SiN:H}$ ) または酸化窒化シリコン膜 ( $\text{SiN}_x\text{O}_y\text{:H}$ ) から成る第2の絶縁膜442を形成する。そして、350～500℃で熱処理を行いう。第2の絶縁膜442から放出される水素により半導体膜の水素化を行う。

## 【 0 0 5 4 】

さらに、図6 (B) で示すように有機樹脂からなる第3の絶縁膜443を約1000nmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

## 【 0 0 5 5 】

次に、に示すように、第3の絶縁膜443、第2の絶縁膜442、第1の絶縁膜441に、コンタクトホールを形成し、アルミニウム (Al)、チタン (Ti)、タンタル (Ta) などを用いて、接続電極444及びソースまたはドレイン配線445～447を形成する。また、画素部においては、画素電極450、ゲート配線449、接続電極448を形成する。

## 【 0 0 5 6 】

こうして、同一の基板上にpチャネル型TF T 4 5 3とnチャネル型TF T 4 5 4で形成される周辺回路451と、画素TF T 4 5 5と保持容量456を有する画素部452が形成される。図6 (B) では周辺回路451のpチャネル型TF T 4 5 3とnチャネル型TF T 4 5 4の断面図のみを示しているが、これらのTF Tを用いて実施例1で示すゲート信号線駆動回路、ソース信号線駆動回路、映像信号処理回路、制御回路を形成することができる。その回路構成は実施者が適宜決定すれば良い。

## 【 0 0 5 7 】

駆動回路451のpチャネル型TF T 4 5 3には、チャネル形成領域501、

ソース領域またはドレイン領域として機能する第 3 の不純物領域 5 0 2 ~ 5 0 4 を有している。

#### 【 0 0 5 8 】

n チャンネル型 T F T 4 5 3 には、チャンネル形成領域 5 0 5、第 3 の形状の導電層 4 3 4 から成るゲート電極と重なる第 2 の不純物領域 5 0 6 (Gate Overlapped Drain: G O L D 領域)、ゲート電極の外側に形成される第 2 の不純物領域 5 0 7 (Lightly Doped Drain: L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 5 0 8 を有している。

#### 【 0 0 5 9 】

画素 T F T 4 5 5 にはチャンネル形成領域 5 0 9、ゲート電極を形成する第 3 の形状の導電層 4 3 5 と重なる第 2 の不純物領域 5 1 0 (G O L D 領域)、ゲート電極の外側に形成される第 2 の不純物領域 5 1 1 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 5 1 2、5 1 3、5 1 4 を有している。また、保持容量 4 5 6 の一方の電極として機能する半導体膜は不純物領域 5 1 6、5 1 7 と不純物が添加されない領域 5 1 5 が形成されている。

#### 【 0 0 6 0 】

画素部 4 5 2 においては、接続電極 4 4 8 によりソース配線 4 3 2 は、画素 T F T 4 5 5 のソースまたはドレイン領域 5 1 2 と電気的な接続が形成される。また、ゲート配線 4 4 9 は、ゲート電極 4 3 5 と電気的な接続が形成される。また、画素電極 4 5 0 は、画素 T F T 4 5 5 のソースまたはドレイン領域 5 1 4 及び保持容量 4 5 6 の一方の電極である半導体膜の不純物領域 5 1 7 と接続している。

#### 【 0 0 6 1 】

図 6 (B) における画素部 4 5 2 の断面図は、図 7 で示す A - A' 線に対応したものである。ゲート電極 4 3 5 は隣接する画素の保持容量の一方の電極を兼ね、画素電極 4 5 2 と接続する半導体層 4 5 3 と重なる部分で容量を形成している。また、ソース配線 4 3 2 と画素電極 4 5 0 及び隣接する画素電極 4 5 1 との配置関係は、画素電極 4 5 0、4 5 1 の端部をソース配線 4 3 2 上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。また、図 8 はこのよ

うな画素の等価回路を示している。

#### 【 0 0 6 2 】

以上のようにして、実施例 1 で説明した図 3 におけるアクティブマトリクス型表示装置を形成することができる。

#### 【 0 0 6 3 】

#### [実施例 3]

図 1 6 はアクティブマトリクス型表示装置を逆スタガ型 T F T で作製した一例を示す。実施例 2 と同様に、基板 1 6 0 1 に、p チャネル型 T F T 1 7 0 1 と n チャネル型 T F T 1 7 0 2 で形成される周辺回路 1 7 0 5 と、画素 T F T 1 7 0 3 と保持容量 1 7 0 4 を有する画素部 1 7 0 6 が形成される。周辺回路 1 7 0 5 の p チャネル型 T F T 1 7 0 1 と n チャネル型 T F T 1 7 0 2 の断面図のみを示しているが、これらの T F T を用いて実施例 1 で示すゲート信号線駆動回路、ソース信号線駆動回路、映像信号処理回路、制御回路を形成することができる。

#### 【 0 0 6 4 】

基板 2 0 1 には、ゲート電極 1 6 0 2 ~ 1 6 0 5、ソースまたはドレイン線 1 6 0 6、1 6 0 7、容量配線 1 6 0 5 がモリブデン (M o)、タングステン (W)、タンタル (T a)、アルミニウム (A l) などから選ばれた材料で形成され、その上にシリコンを含む絶縁膜でゲート絶縁膜として用いる第 1 絶縁膜 1 6 0 8 が形成されている。半導体膜 1 6 1 0 ~ 1 6 1 3 はシリコンを含む結晶質半導体材料で形成され、p 型または n 型の不純物を含む領域が形成されている。T F T のチャネル形成領域上にはチャネル保護膜 1 6 1 5 ~ 1 6 1 7 が形成されていても良く、その上層には窒化シリコンまたは窒化酸化シリコン膜から成る第 2 絶縁膜 2 3 2 と、有機樹脂材料から成る第 3 絶縁膜 1 6 3 3 が形成されている。そして、アルミニウム (A l)、チタン (T i)、タンタル (T a) などを用いて、ソースまたはドレイン配線 1 6 3 4 ~ 1 6 3 6、画素電極 1 6 4 0、ゲート配線 1 6 3 9、接続電極 1 6 3 8 が形成されている。

#### 【 0 0 6 5 】

周辺回路 1 7 0 5 の p チャネル型 T F T 1 7 0 1 には、チャネル形成領域 1 7 0 7、p 型の不純物領域から成るソースまたはドレイン領域 1 7 0 8 が形成され

ている。nチャネル型TFT1702には、チャネル形成領域1709、n型の不純物領域から成るLDD領域1710、n型の不純物領域から成るソースまたはドレイン領域1711が形成されている。画素部1706の画素TFT1703は、マルチゲート構造であり、チャネル形成領域1712、LDD領域1713、ソースまたはドレイン領域1714、1716が形成される。LDD領域の間に位置するn型の不純物領域は、オフ電流を低減するために有用である。保持容量1704は、容量配線1705と半導体層1613とその間に形成される第1の絶縁層とから形成されている。

## 【0066】

画素部1706においては、接続電極1638によりソース配線1607は、画素TFT1703のソースまたはドレイン領域1714と電気的な接続が形成される。また、ゲート配線1639は、第1の電極と電気的な接続が形成される。また、画素電極1640は、画素TFT1703のソースまたはドレイン領域1716及び保持容量1704の半導体層1613と接続している。

## 【0067】

このような逆スタガ型TFTを用いても、ゲート電極や半導体膜が形成される層に変更があるものの、図7と同様な構成の画素を形成することができる。こうして、実施例1で説明した図3におけるアクティブマトリクス型表示装置を形成することができる。

## 【0068】

## [実施例4]

図3に示す構成アクティブマトリクス型表示装置でEL表示装置を作製する場合の一例を説明する。周囲の光強度を検知し映像信号に補正を加える制御回路、映像信号処理回路、ゲート信号線駆動回路、ソース信号線駆動回路は同様な構成であるので、本実施例では画素部の断面構造の概略を図9(A)に示して説明する。

## 【0069】

図9(A)において、11は基板、12はブロッキング層である。基板11は透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は

結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものである必要がある。

#### 【 0 0 7 0 】

7 0 1 はスイッチング用 T F T であり、n チャネル型 T F T で形成されているが、スイッチング用 T F T は、p チャネル型としてもよい。また、7 0 2 は電流制御用 T F T であり、図 9 ( A ) は、電流制御用 T F T 7 0 2 が p チャネル型 T F T で形成された場合を示している。この場合は、電流制御用 T F T のドレインは、E L 素子の陽極に接続されている。但し、スイッチング用 T F T を n チャネル型 T F T に電流制御用 T F T を p チャネル型 T F T に限定する必要はなく、この逆、又は両方に p チャネル型 T F T または、n チャネル型 T F T を用いることも可能である。

#### 【 0 0 7 1 】

スイッチング用 T F T 7 0 1 は、ソース領域 1 3、ドレイン領域 1 4、L D D 領域 1 5 a ~ 1 5 d、高濃度不純物領域 1 6 及びチャネル形成領域 1 7 a、1 7 b を含む活性層、ゲート絶縁膜 1 8、ゲート電極 1 9 a、1 9 b、第 1 層間絶縁膜 2 0、ソース線 2 1 並びにドレイン線 2 2 を有して形成される。なお、ゲート絶縁膜 1 8 又は第 1 層間絶縁膜 2 0 は基板上の全 T F T に共通であっても良いし、回路又は素子に応じて異ならせても良い。

#### 【 0 0 7 2 】

また、図 9 ( A ) に示すスイッチング用 T F T 7 0 1 はゲート電極 1 9 a、1 9 b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

#### 【 0 0 7 3 】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 T F T のオフ電流を十分に低くすれば、それだけコンデンサに必要な容量を小さくすることができる。即ち、コンデンサの専有面積を小さくすることができるので、マルチゲート構造とすることは E L 素子 7 0 3 の有効発光面積を広げる上

でも有効である。

【 0 0 7 4 】

さらに、スイッチング用 T F T 7 0 1 においては、L D D 領域 1 5 a ~ 1 5 d は、ゲート絶縁膜 1 8 を挟んでゲート電極 1 9 a、1 9 b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、L D D 領域 1 5 a ~ 1 5 d の長さ（幅）は 0 . 5 ~ 3 . 5  $\mu$  m、代表的には 2 . 0 ~ 2 . 5  $\mu$  m とすれば良い。

【 0 0 7 5 】

なお、チャネル形成領域と L D D 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 1 6 （ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【 0 0 7 6 】

次に、電流制御用 T F T 7 0 2 は、ソース領域 2 6、ドレイン領域 2 7、チャネル形成領域 2 9、ゲート絶縁膜 1 8、ゲート電極 3 0、第 1 層間絶縁膜 2 0、ソース線 3 1 並びにドレイン線 3 2 を有して形成される。なお、ゲート電極 3 0 はシングルゲート構造となっているがマルチゲート構造であっても良い。

【 0 0 7 7 】

図 9（B）はこの E L 表示装置の画素の等価回路であり、スイッチング用 T F T のドレインは電流制御用 T F T のゲートに接続されている。具体的には図 9（A）の電流制御用 T F T 7 0 2 のゲート電極 3 0 はスイッチング用 T F T 7 0 1 のドレイン領域 1 4 とドレイン配線（接続配線とも言える）2 2 を介して電氣的に接続されている。また、ソース配線 3 1 は図 9（B）の電源供給線 7 0 5 に接続される。

【 0 0 7 8 】

また、E L 層に流す電流量を多くするという観点から見れば、電流制御用 T F T 7 0 2 の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは 5 0

～100nm、さらに好ましくは60～80nm) ことも有効である。逆に、スイッチング用TFT701の場合はオフ電流を小さくするという観点から見れば、活性層(特にチャネル形成領域)の膜厚を薄くする(好ましくは20～50nm、さらに好ましくは25～40nm) ことも有効である。

## 【0079】

47は第1パッシベーション膜であり、膜厚は20nm～200nmとすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割をもつ。最終的にTFTの上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属(可動イオン)をTFT側に侵入させない保護層としても働く。

## 【0080】

また、48は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5 $\mu$ m(好ましくは1.5～2.5 $\mu$ m)が好ましい。

## 【0081】

また、49は透明導電膜でなる画素電極(EL素子の陽極)であり、第2層間絶縁膜48及び第1パッシベーション膜47にコンタクトホール(開孔)を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線32に接続されるように形成される。なお、図9(A)のように画素電極49とドレイン領域27とが直接接続されないようにしておくと、EL層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。



## 【 0 0 8 2 】

第 3 層間絶縁膜 5 0 の上には絶縁材料でバンプ 5 9 が形成され、その間に E L 層 5 1 が設けられる。E L 層 5 1 は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本願発明では公知のいずれの構造を用いても良いし、E L 層に対して蛍光性色素等をドーピングしても良い。

## 【 0 0 8 3 】

有機 E L 材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第 4, 3 5 6, 4 2 9 号、米国特許第 4, 5 3 9, 5 0 7 号、米国特許第 4, 7 2 0, 4 3 2 号、米国特許第 4, 7 6 9, 2 9 2 号、米国特許第 4, 8 8 5, 2 1 1 号、米国特許第 4, 9 5 0, 9 5 0 号、米国特許第 5, 0 5 9, 8 6 1 号、米国特許第 5, 0 4 7, 6 8 7 号、米国特許第 5, 0 7 3, 4 4 6 号、米国特許第 5, 0 5 9, 8 6 2 号、米国特許第 5, 0 6 1, 6 1 7 号、米国特許第 5, 1 5 1, 6 2 9 号、米国特許第 5, 2 9 4, 8 6 9 号、米国特許第 5, 2 9 4, 8 7 0 号、特開平 1 0 - 1 8 9 5 2 5 号公報、特開平 8 - 2 4 1 0 4 8 号公報、特開平 8 - 7 8 1 5 9 号公報。

## 【 0 0 8 4 】

なお、E L 表示装置には大きく分けて四つのカラー化表示方式があり、R（赤）G（緑）B（青）に対応した三種類の E L 素子を形成する方式、白色発光の E L 素子とカラーフィルターを組み合わせた方式、青色又は青緑発光の E L 素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用して R G B に対応した E L 素子を重ねる方式がある。

## 【 0 0 8 5 】

図 9（A）の構造は R G B に対応した三種類の E L 素子を形成する方式を用いた場合の例である。なお、図 9（A）には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

## 【 0 0 8 6 】

E L 層 5 1 の上には E L 素子の陰極 5 2 が設けられる。陰極 5 2 としては、仕事関数の小さいマグネシウム (M g)、リチウム (L i) 若しくはカルシウム (C a) を含む材料を用いる。好ましくは M g A g (M g と A g を M g : A g = 1 0 : 1 で混合した材料) でなる電極を用いれば良い。他にも M g A g A l 電極、L i A l 電極、また、L i F A l 電極が挙げられる。

## 【 0 0 8 7 】

陰極 5 2 は E L 層 5 1 を形成した後、大気解放しないで連続的に形成することが望ましい。陰極 5 2 と E L 層 5 1 との界面状態は E L 素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極 (陽極)、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

## 【 0 0 8 8 】

E L 層 5 1 と陰極 5 2 とでなる積層体は、各画素で個別に形成する必要があるが、E L 層 5 1 は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマ C V D 法等の気相法で選択的に形成することが好ましい。

## 【 0 0 8 9 】

なお、インクジェット法、スクリーン印刷法およびスピコート法等を用いて E L 層を選択的に形成した後、蒸着法、スパッタ法及びプラズマ C V D 法等の気相法で陰極を形成することも可能である。

## 【 0 0 9 0 】

また、5 3 は保護電極であり、陰極 5 2 を外部の水分等から保護すると同時に、各画素の陰極 5 2 を接続するための電極である。保護電極 5 3 としては、アルミニウム (A l)、銅 (C u) 若しくは銀 (A g) を含む低抵抗な材料を用いることが好ましい。この保護電極 5 3 には E L 層の発熱を緩和する放熱効果も期待できる。また、上記 E L 層 5 1、陰極 5 2 を形成した後、大気解放しないで連続的に保護電極 5 3 まで形成することも有効である。

## 【 0 0 9 1 】

また、54は第2パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。第2パッシベーション膜54を設ける目的は、EL層51を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温（好ましくは室温から120℃までの温度範囲）で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピンドーティング法）が望ましい成膜方法と言える。図9（A）に示す構造は、EL素子から見た発光方向が基板11側であり、このような画素構造のEL表示装置は基板11を通して映像を表示する。

## 【0092】

一方、図10（A）には同様にEL表示装置の画素構造の断面図を示すが、EL素子から見た発光方向が基板11とは反対側であり、このような画素構造のEL表示装置はEL素子が形成された面で映像を表示する。この場合、スイッチング用TFT701は図9（A）と同様なものであるが、電流制御用TFT706はnチャネル型TFTを用いる。電流制御用TFT706は、ソース領域66、ドレイン領域67、チャネル形成領域69、ゲート絶縁膜18、ゲート電極60、第1層間絶縁膜20、ソース線61並びにドレイン線62を有して形成される。なお、ゲート電極60はシングルゲート構造となっているがマルチゲート構造であっても良い。また、このような画素の等価回路を図10（B）に示す。

## 【0093】

また、53はAl、Cu、Agなどで形成される画素電極（EL素子の陰極側）であり、その上にはEL素子の陰極52が設けられる。陰極52とEL層51との界面状態はEL素子の発光効率に大きく影響するので注意を要する。EL層51は同様に単層又は積層構造で形成する。その上に透明電極（陽極側）49が設けられ、さらに第2パッシベーション膜54が設けられている。

## 【0094】

本願発明の主旨は、アクティブマトリクス型EL表示装置において、環境の変化をセンサで検知し、この情報に基づきEL素子を流れる電流量を制御し、EL素子の発光輝度を制御するというものである。従って、図9（A）のEL表示装

置の構造に限定されるものではなく、図 9 (A) の構造は実施例 1 で説明する図 3 に示す構成のアクティブマトリクス型表示装置における好ましい形態の一つに過ぎない。

## 【 0 0 9 5 】

## [実施例 5]

図 1 2 は外光を検知する光センサーをアクティブマトリクス型表示装置に実装する概念図を示す。尚、本実施例は液晶表示装置を一例として示すが、別基板に作製した光センサーをアクティブマトリクス基板に実装する概念は E L 表示装置にもそのまま適用することができる。

## 【 0 0 9 6 】

画素部が形成された第 1 の基板 8 0 0 には駆動回路 (A) 8 0 1、駆動回路 (B) 8 0 2、画素部 8 0 3、外部入出力端子 8 0 4、接続配線 8 0 5 が形成されている。画素部 8 0 3 は実施例 2 で示すように画素 T F T をマトリクス状に配置して形成されている。駆動回路 (A) 8 0 1、駆動回路 (B) 8 0 2 も同様に作製される。第 2 の基板 8 0 8 には対向電極 8 0 9 が形成され、シール材 8 1 0 で第 1 の基板 8 0 0 と接着されている。シール材 8 1 0 の内側には液晶が封入され液晶層 8 1 1 を形成する。第 1 の基板と第 2 の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には  $3 \sim 8 \mu\text{m}$ 、スメチック液晶の場合には  $1 \sim 4 \mu\text{m}$  とする。

## 【 0 0 9 7 】

外部入出力端子 8 0 4 には、外部から電源及び制御信号を入力するための F P C (フレキシブルプリント配線板: Flexible Printed Circuit) 8 1 2 を貼り付ける。F P C 8 1 2 の接着強度を高めるために補強板 8 1 3 を設けても良い。

## 【 0 0 9 8 】

光電変換層を非晶質シリコンや C d S などで作製した薄膜素子を用いる。光センサー 8 0 6 は第 3 に基板 8 0 7 に複数個作製されたものを分割し、第 1 の基板 8 0 0 に実装する。実装の方法は、光センサーの光入射方向と画素部の表示方向との兼ね合いで若干異なるが、基本的には導電性樹脂を用いたフェイスダウン方式で装着する。

## 【 0 0 9 9 】

図 1 1 は非晶質シリコンを光電変換層に用いた光センサーの一例を示す。図 1 1 (A) は、透光性の基板 6 0 1 上に透明電極 6 0 2、光電変換層 6 0 3、光反射性電極 6 0 4 a、6 0 4 b が形成された光センサーを示している。光電変換層 6 0 3 は p i n 接合が形成されたもので、I 型層は非晶質シリコンで形成されている。接合の方向は任意なものとするが、例えば、p 型層が透明電極 6 0 2 と接触し、n 型層が光反射性電極 6 0 4 a、6 0 4 b と接触するように形成する。透明電極 6 0 2 は開孔 6 0 5、6 0 6 で基板 6 0 1 の端部と分離され短絡を防いでいる。外部接続端子は光反射性電極が兼ね、光反射性電極 6 0 4 a は光電変換層 6 0 3 に形成された開孔 6 0 7 で透明電極と電氣的に導通し、+ 端子となる。光反射性電極 6 0 4 b は一端子を形成する。図 1 1 (A) の場合、受光面は透光性の基板 6 1 0 側となり、基板 6 0 1 を透過した光が光電変換層に入射する仕組みとなっている。

## 【 0 1 0 0 】

図 1 1 (B) は、基板 6 1 0 上に光反射性電極 6 1 1、光電変換層 6 1 2、透明電極 6 1 3 が形成された光センサーを示している。光電変換層 6 1 2 は p i n 接合が形成されたもので、I 型層は非晶質シリコンで形成されている。接合の方向は任意なものとするが、p 型層が透明電極 6 1 3 と接触し、n 型層が光反射性電極 6 1 1 と接触する構造が好ましい。光反射性電極 6 1 1、光電変換層 6 1 2 は開孔 6 1 4、6 1 5 で基板 6 1 0 の端部と分離され短絡を防いでいる。外部接続端子 6 1 7、6 1 8 は銀などの導電性ペーストから作製されたもので、透明電極上に選択的に形成されている。外部接続端子 6 1 7 は開孔 6 1 4 で光反射性電極と電氣的に導通し、一端子 (n 層側のコンタクト) となる。接続端子 6 1 8 は + 端子 (p 層側のコンタクト) を形成する。図 1 1 (B) の場合、受光面は透明電極 6 1 3 が形成された側となる。

## 【 0 1 0 1 】

このように、光センサーは光電変換層に光が入射する面から見て 2 種類に分類することができる。光センサーは画素部及び駆動回路、制御回路が形成された基板に実装される。その場合、光センサーは基板の同一面上に形成された配線とコ

ンタクトを形成するように実装する。図 1 3 はその部分の詳細を示す。

#### 【 0 1 0 2 】

図 1 3 (A) は図 1 1 (A) の光センサーを実装する場合の例を示している。この場合、光センサーが形成されている基板 6 0 1 の側から光センサーに光が入射する。光センサーは基板 8 0 0 上に形成された配線 8 5 0 に合わせて装着され、光または熱硬化型の樹脂 8 5 2 で接着されている。配線 8 5 0 とのコンタクトは樹脂 8 5 2 中に含まれる導電性粒子 8 5 1 により形成されている。

#### 【 0 1 0 3 】

図 1 3 (B) は図 1 1 (B) の光センサーを実装する場合の例を示している。この場合、基板 6 0 0 を透過した光が光センサーに入射する構成となっている。光センサーは基板 8 0 0 上に形成された配線 8 5 0 に合わせて装着され、クリーム半田や銀ペーストなどの導電性材料 8 5 3 で接着されている。

#### 【 0 1 0 4 】

図 1 2 で示すように、光センサーを第 3 の基板に複数個形成し、画素部及びその駆動回路が形成された第 1 の基板に実装することで表示装置を完成させる上での工程を簡略化することができる。本発明で用いる光センサーとアクティブマトリクス型表示装置を形成する基板とのデザインルールは異なり、後者は数  $\mu\text{m}$  ～サブミクロンのデザインルールが要求されるのに対し、前者は数十～数百ミクロンのデザインルールで作製される。光センサーはレーザー加工やスクリーン印刷などによりパターンを形成することが可能であり、光露光プロセスを用いて精密に位置を制御する必要のあるアクティブマトリクス型表示装置の製造技術を必要としない。

#### 【 0 1 0 5 】

##### [実施例 6]

実施例 1 で示すような光センサーが実装されたアクティブマトリクス型表示装置を様々な電子装置に組み込む方法の一例を図 1 4 に示す。図 1 4 (A) は、その一例であり、TFT などの素子が形成された基板 9 0 1、対向基板 9 0 2 が有り、その間に素子形成領域 9 0 3 がある。素子形成領域の詳細な構造は省略されているが、液晶表示装置の場合、図 6 (B) または図 1 6 で示す画素 TFT の他

に画素電極上に液晶層などが形成されている。また、E L 表示装置の場合には、図 9 (A) または図 1 0 (A) で示すスイッチング用 T F T、電流制御用 T F T、E L 素子などが形成されている。その他に、図 3 で示すように画素部の周辺に設けられる各種回路が含まれていても良い。素子形成領域はシール材 9 0 4 でこの 2 枚の基板間に封入されて、外気に曝されないようにすることにより表示装置の信頼性を高めている。

#### 【 0 1 0 6 】

光センサー 9 0 7 は画素部が形成された基板 9 0 1 に固定され、素子形成領域の回路と電気的な接続を形成している。この場合の接続方法は図 1 3 (A) の方法が採用される。対向基板 9 0 2 の外側に実装されている。入出力端子 9 0 8 の一方の端はフレキシブルプリント配線板 (Flexible Printed Circuit : F P C) 9 0 9 と接続し、信号処理回路、増幅回路、電源回路などが設けられたプリント基板 9 1 0 に接続し、画像表示に必要な信号を伝達するようになっている。また、偏光板は省略されているが、適時必要に応じて設ければ良い。

#### 【 0 1 0 7 】

映像表示 (表示光) は対向基板 9 0 2 側に出射される光により行われ、この面が表面となる。光センサーへの光の入射は筐体 9 1 5 に設けられた開孔 9 1 6 から入射しする。この場合、光センサーは図 1 1 (A) に示す構造のものをを用いる。光センサーからの出力は配線 9 0 6 によって制御回路と接続する。

#### 【 0 1 0 8 】

図 1 4 (A) の構成は、反射型の液晶表示装置に適用することができる。また、図示していないが、画素部が形成された基板 9 0 1 の下側にバックライトを設ければ透過型の液晶表示装置に用いることもできる。その他に、図 1 0 (A) で示すような構成の E L 表示装置にも適用することができる。

#### 【 0 1 0 9 】

図 1 4 (B) は他の一例であり、T F T などの素子が形成された基板 9 2 0 と対向基板 9 2 1 がシール材 9 2 3 で固定され、その間に素子形成領域 9 2 2 が設けられている。光センサー 9 2 5 は T F T などの素子が形成された基板 9 2 0 に固定され素子形成領域の回路と電気的に接続している。この接続方法は図 1 3 (

B)の方法が採用される。入出力端子926の一方の端はフレキシブルプリント配線板(Flexible Printed Circuit: FPC)927と接続し、信号処理回路、増幅回路、電源回路などが設けられたプリント基板928に接続し、画像表示に必要な信号を伝達するようになっている。画像表示(表示光)は基板920側に出射され、この面が表面となる。外光は筐体929に設けられた開孔930から導入され、TFTなどの素子が形成された基板920を透過した光が光センサー925に入射する。光センサーからの出力は配線924によって制御回路と接続する。

## 【0110】

図14(B)の構成は、図9(A)で示すような基板側にEL層の光を出射する構成のEL表示装置に適用することができる。

## 【0111】

ここで示す表示装置の実装方法は一例であり、表示装置の形態に合わせて適宜組み立てられるものである。

## 【0112】

## [実施例7]

図17は光センサーをTFTなどの素子が形成された基板と一体形成した一例を示す。周辺回路851のpチャネル型TFT852、nチャネル型TFT853は実施例2と同様にして作製される。基板856にブロッキング層857が形成され、半導体膜858、859、ゲート絶縁膜860、861、ゲート電極862、863が形成されている。ゲート絶縁膜860、861はゲート電極862、863の外側で半導体膜858、859の表面が露出するようにエッチング処理がなされている。ゲート電極上にはパッシベーション膜864と有機樹脂材料から成る層間絶縁膜865が形成され、ソースまたはドレイン電極866～869が形成されている。

## 【0113】

pチャネル型TFT852の半導体膜858に形成されるチャネル形成領域及びp型の不純物領域、及びnチャネル型TFT853の半導体膜859に形成されるチャネル形成領域及びn型の不純物領域の詳細は、実施例2で示す図6(B



）の p チャネル型 T F T 4 5 3、及び n チャネル型 T F T 4 5 4 と同様なものである。

#### 【 0 1 1 4 】

一方、光センサー 8 5 4 はこれらの T F T と同じ工程で作製される。p 型半導体領域 8 7 0、及び n 型半導体領域 8 7 1 は、半導体膜 8 5 8、8 5 9 と同じ結晶質半導体で形成される。p 型または n 型の不純物元素は、T F T の不純物領域を作製するときに同時に形成される。そして、この不純物半導体に重なるように、非晶質シリコン膜 8 7 2 が 5 0 0 ～ 1 0 0 0 nm の厚さで形成されている。この非晶質シリコン膜 8 7 2 は真性半導体であることが望ましく、これにより p i n 接合が形成される。8 7 3 は p 型半導体側 8 7 0 とコンタクトをとる電極であり、8 7 4 は n 型半導体とコンタクトをとる電極である。

#### 【 0 1 1 5 】

光センサー 8 5 4 への光の入射は基板 8 5 6 側から行うことが可能であり、また、非晶質シリコン膜 8 7 2 が形成されている面側から行うことも可能である。従って、実施例 6 で示す筐体への組込方法は、図 1 4 (A) または (B) のいずれの方法も採用することができる。

#### 【 0 1 1 6 】

本実施例では、T F T を実施例 2 で説明するトップゲート型の構造で示したが、  
本実施例の光センサーは、実施例 3 で示す逆スタガ型の T F T と組み合わせることができる。そして、このような光センサーが形成された表示装置は、液晶表示装置及び E L 表示装置のいずれにも適用することができる。

#### 【 0 1 1 7 】

##### [ 実施例 8 ]

本発明のアクティブマトリクス型表示装置は様々な電子機器に用いることができる。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末機器（モバイルコンピュータ、携帯電話または電子書籍等）などが

挙げられる。それらの一例を図 1 8 と図 1 9 に示す。

【 0 1 1 8 】

図 1 8 (A) はパーソナルコンピュータであり、本体 9 0 0 1、画像入力部 9 0 0 2、表示装置 9 0 0 3、キーボード 9 0 0 4 等を含む。本発明は表示装置 9 0 0 3 に用いることができ、受光部 9 0 0 5 に設けられた光センサーにより、周囲の明るさに応じて表示装置 9 0 0 3 の輝度を制御することができる。

【 0 1 1 9 】

図 1 8 (B) はビデオカメラであり、本体 9 1 0 1、表示装置 9 1 0 2、音声入力部 9 1 0 4、操作スイッチ 9 1 0 3、バッテリー 9 1 0 6、受像部 9 1 0 5 等を含む。本発明は表示装置 9 1 0 2 に用いることができ、受光部 9 1 0 7 に設けられた光センサーにより、周囲の明るさに応じて表示装置 9 1 0 2 の輝度を制御することができる。

【 0 1 2 0 】

図 1 8 (C) はモバイルコンピュータまたは P D A (Personal Digital Assistant: 個人用の情報端末) であり、本体 9 2 0 1、カメラ部 9 2 0 2、受像部 9 2 0 3、操作スイッチ 9 2 0 4、表示装置 9 2 0 5 等を含む。本発明は表示装置 9 2 0 5 に用いることができ、受光部 9 2 0 6 に設けられた光センサーにより、周囲の明るさに応じて表示装置 9 2 0 5 の輝度を制御することができる。

【 0 1 2 1 】

図 1 8 (D) はゴーグル型ディスプレイであり、本体 9 3 0 1、表示装置 9 3 0 2、アーム部 9 3 0 3 等から成っている。本発明は表示装置 9 3 0 2 に用いることができ、受光部 9 3 0 4 に設けられた光センサーにより、周囲の明るさに応じて表示装置 9 3 0 2 の輝度を制御することができる。

【 0 1 2 2 】

図 1 8 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 9 4 0 1、表示装置 9 4 0 2、スピーカ部 9 4 0 3、記録媒体 9 4 0 4、操作スイッチ 1 2 2 3 等を含む。なお、このプレーヤーは記録媒体として D V D (Digital Versatile Disc)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置 9 4

02に用いることができ、受光部9406に設けられた光センサーにより、周囲の明るさに応じて表示装置9402の輝度を制御することができる。

【0123】

図18(F)はデジタルカメラであり、本体9501、表示装置9502、接眼部9503、操作スイッチ9504、受像部(図示しない)等を含む。本発明は表示装置9502に用いることができ、受光部99505に設けられた光センサーにより、周囲の明るさに応じて表示装置9502の輝度を制御することができる。

【0124】

図19(A)は携帯電話であり、表示パネル1401、操作用パネル1402、接続部1403、表示装置1404、音声出力部1405、操作キー1406、電源スイッチ1407、音声入力部1408、アンテナ1409等を含む。本発明は表示装置1404に用いることができ、受光部1410に設けられた光センサーにより、周囲の明るさに応じて表示装置1404の輝度を制御することができる。

【0125】

図19(B)は携帯書籍(電子書籍)であり、本体1411、表示装置1412、記憶媒体1413、操作スイッチ1414、アンテナ1415等を含む。本発明は表示装置1412に用いることができ、受光部1416に設けられた光センサーにより、周囲の明るさに応じて表示装置1412の輝度を制御することができる。

【0126】

図19(C)はテレビ受像器であり、本体1416、支持台1417、表示装置1418等を含む。本発明は表示装置1418に用いることができ、受光部1420に設けられた光センサーにより、周囲の明るさに応じて表示装置1418の輝度を制御することができる。本発明のテレビ受像器は特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0127】

以上の様に、本発明の適用範囲は極めて広く、様々な分野の電子機器に適用することが可能である。

【 0 1 2 8 】

【発明の効果】

本願発明の表示装置は、光センサーを用いて周囲の明るさを検知して表示装置の発光輝度を調節することを可能としている。表示装置の画素部に表示される映像の輝度を調節し、周囲が明るい場合には輝度を高く、暗い場合には輝度を低くすることにより、使用者にとって見やすい映像表示を提供し、また、表示装置を搭載した電子機器の低消費電力化を実現することもできる。

【図面の簡単な説明】

【図 1】 本発明のデジタル駆動の表示装置の構成を説明する図。

【図 2】 光センサーの出力を読み取るソースフォロワ回路図。

【図 3】 光センサーと画素部、駆動回路、制御回路のレイアウトを説明する図。

【図 4】 画素部、周辺回路の T F T の作製工程を説明する断面図。

【図 5】 画素部、周辺回路の T F T の作製工程を説明する断面図。

【図 6】 画素部、周辺回路の T F T の作製工程を説明する断面図。

【図 7】 画素部の画素構造を説明する上面図。

【図 8】 液晶表示装置における画素の回路図。

【図 9】 E L 表示装置の画素の断面図及び等価回路。

【図 1 0】 E L 表示装置の画素の断面図及び等価回路。

【図 1 1】 光センサーの断面図。

【図 1 2】 光センサーを実装する表示装置の組み立て図。

【図 1 3】 光センサーの接続方法と光の入射方向を説明する断面図。

【図 1 4】 本発明の表示装置を筐体に組み込んだ状態を示す断面図。

【図 1 5】 本発明のアナログ駆動の表示装置の構成を説明する図。

【図 1 6】 画素部、周辺回路の T F T を説明する断面図。

【図 1 7】 基板上に一体形成される光センサーの断面図。

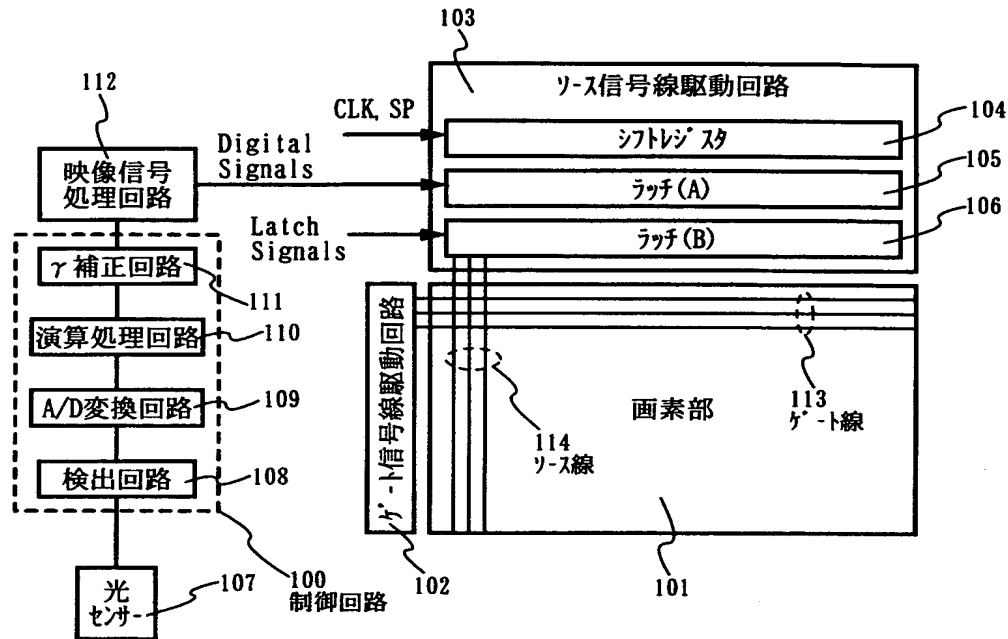
【図 1 8】 本発明の表示装置を組み込んだ電子機器の一例を示す図。

【図 1 9】 本発明の表示装置を組み込んだ電子機器の一例を示す図。

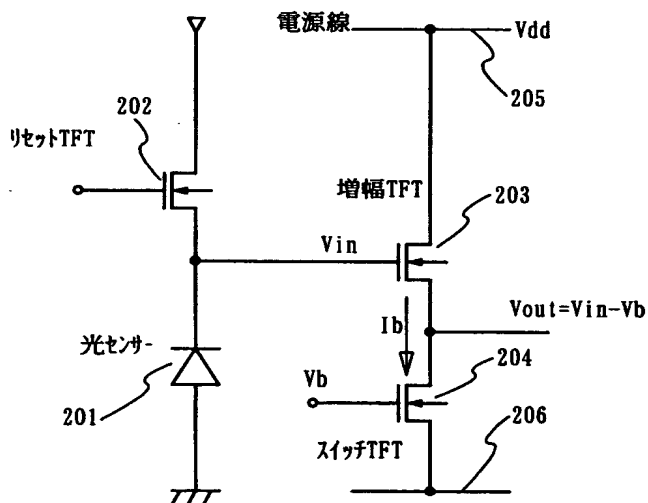
【図 2 0】 時分割階調方式の動作を示す図。

【書類名】 図面

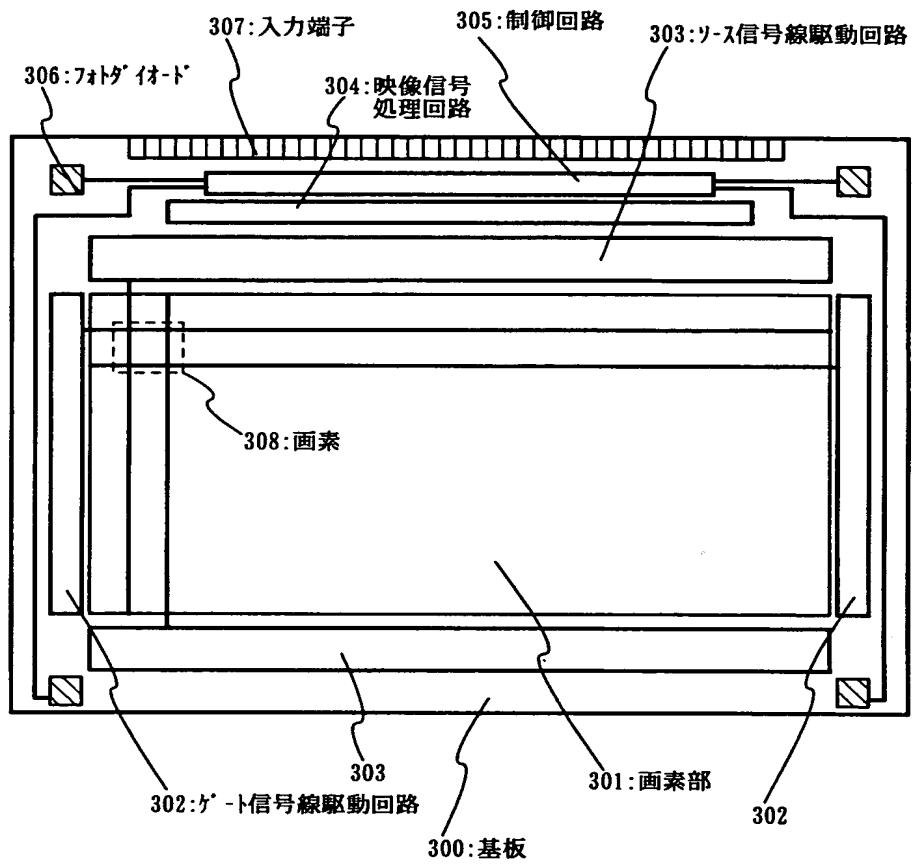
【図 1】



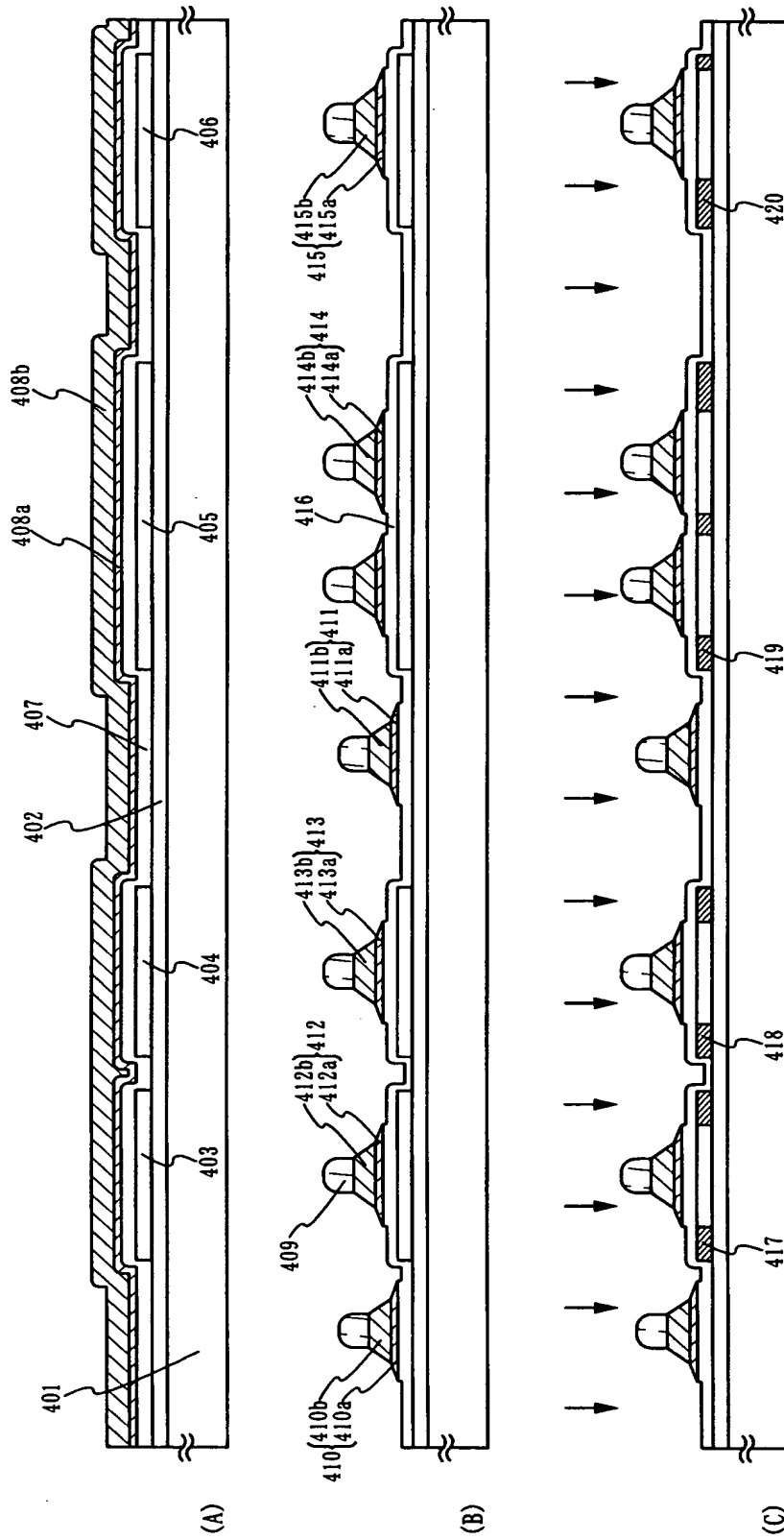
【図 2】



【図 3】

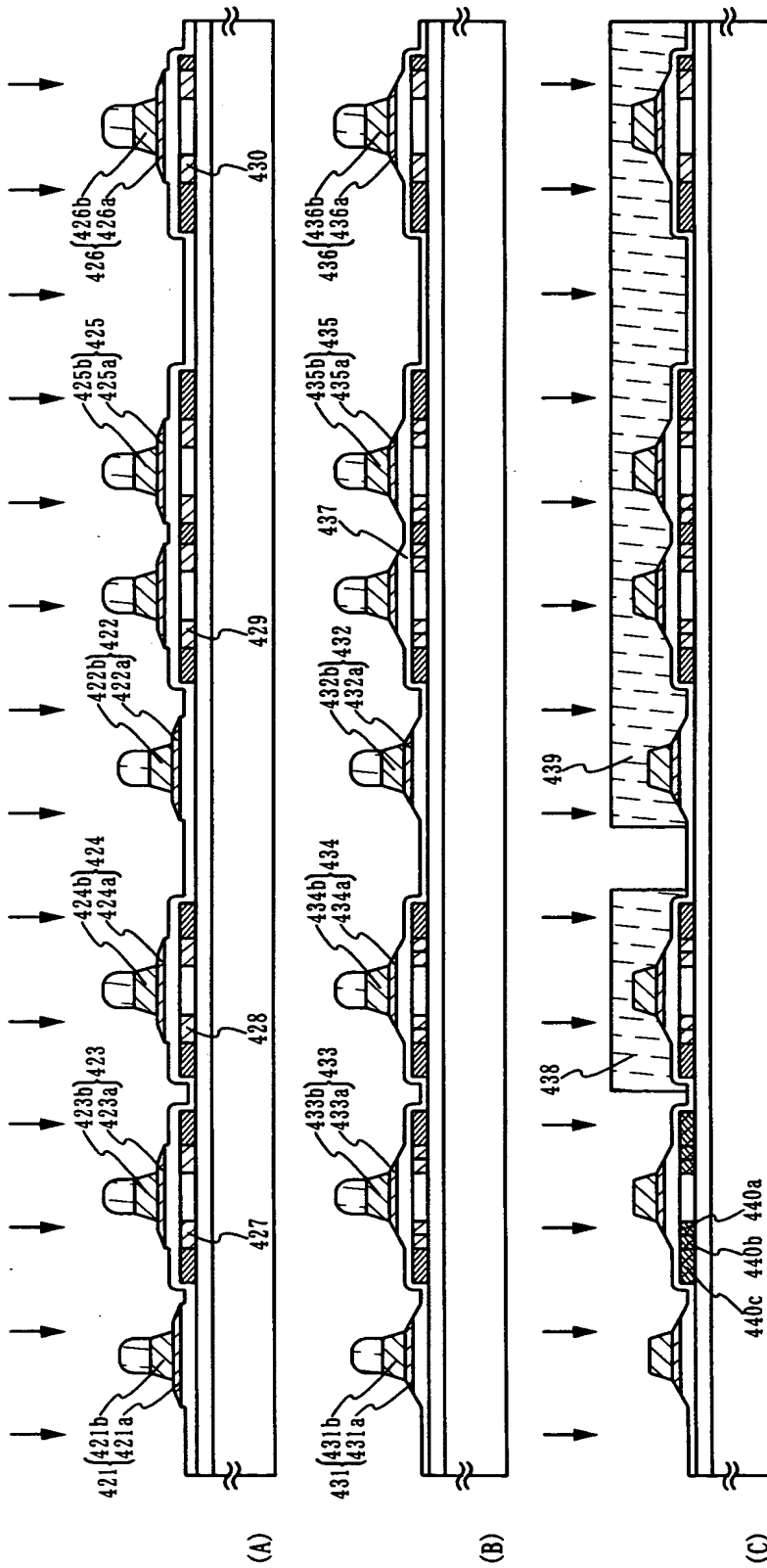


【図 4】

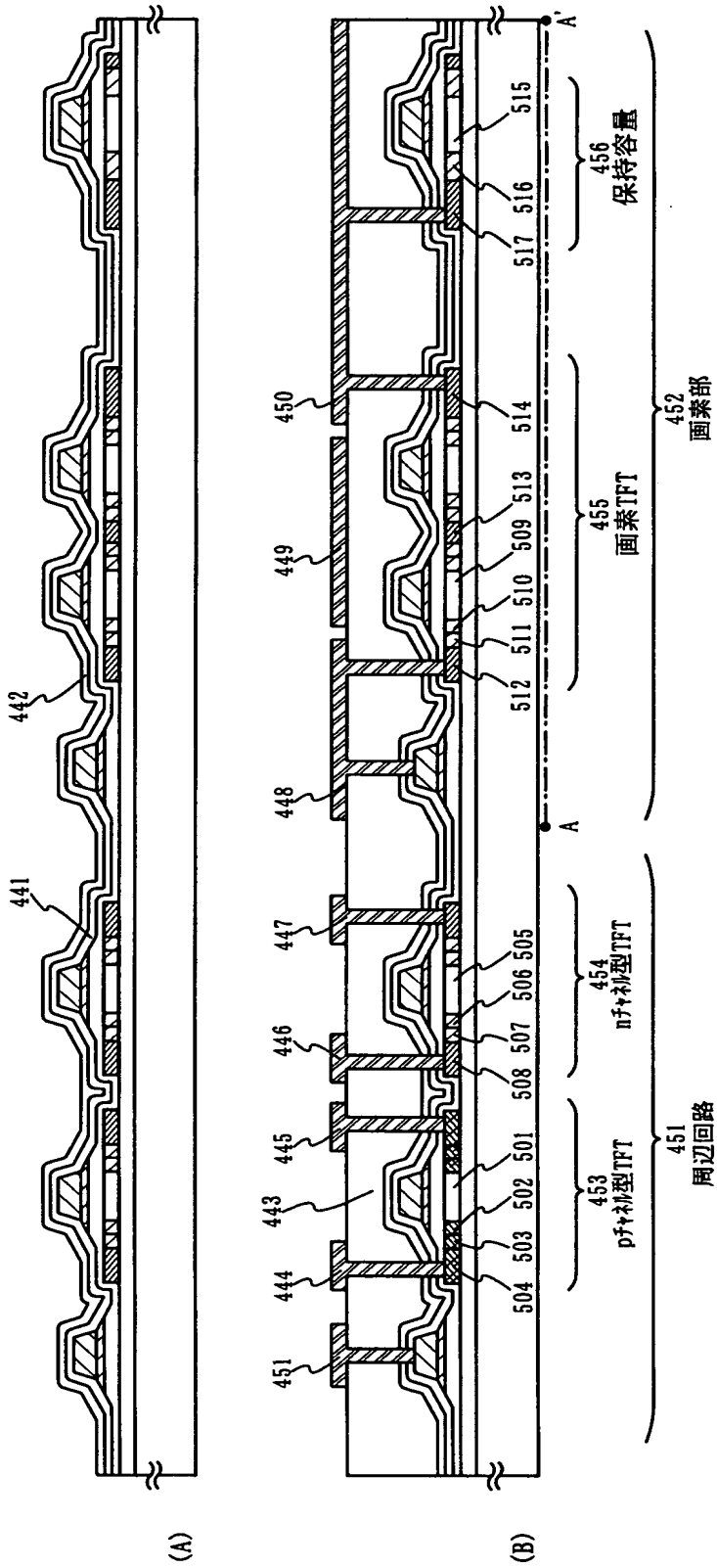




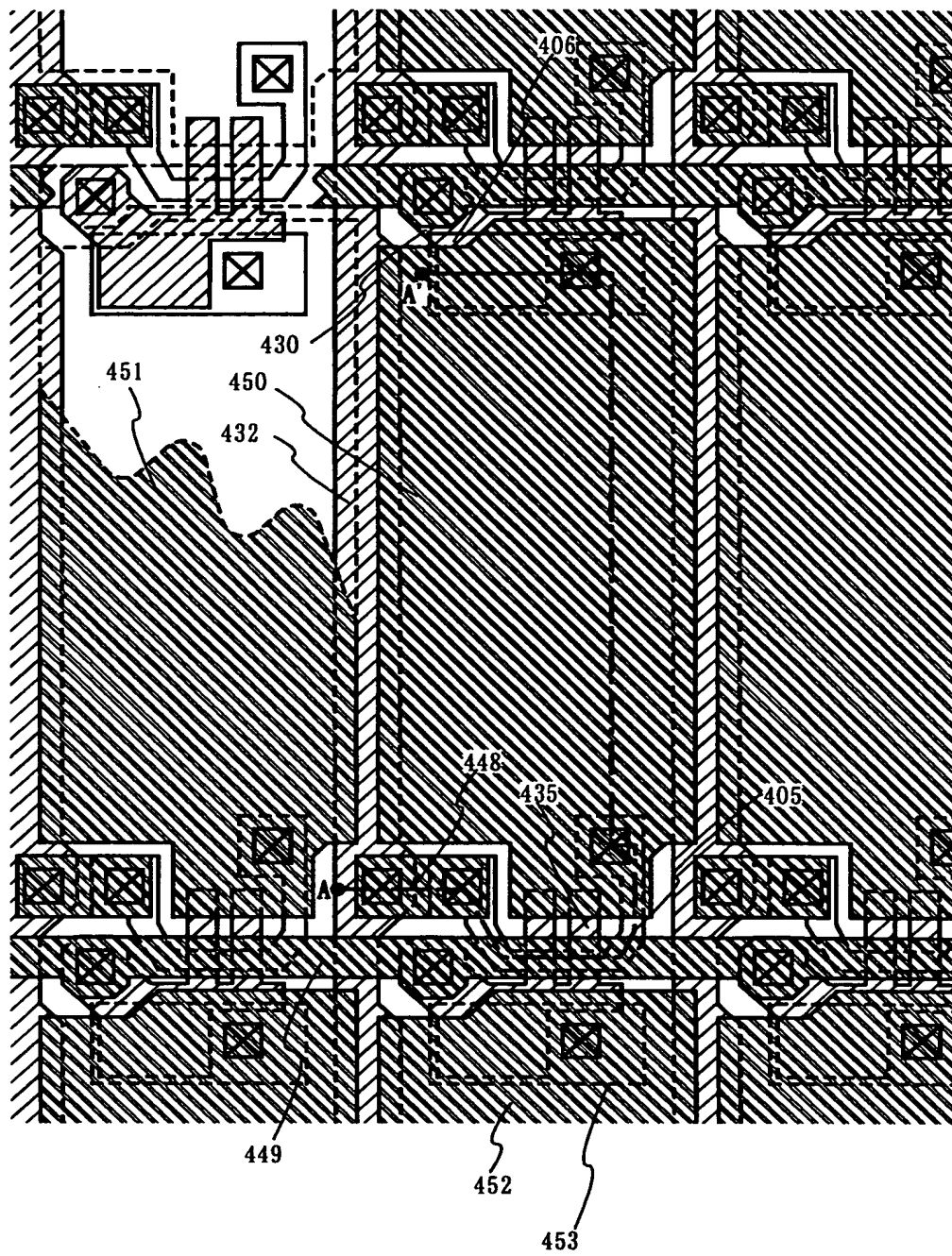
【図 5】



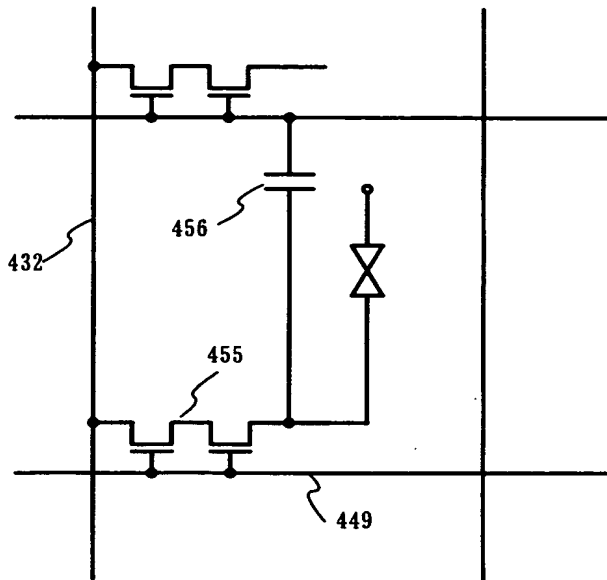
【図 6】



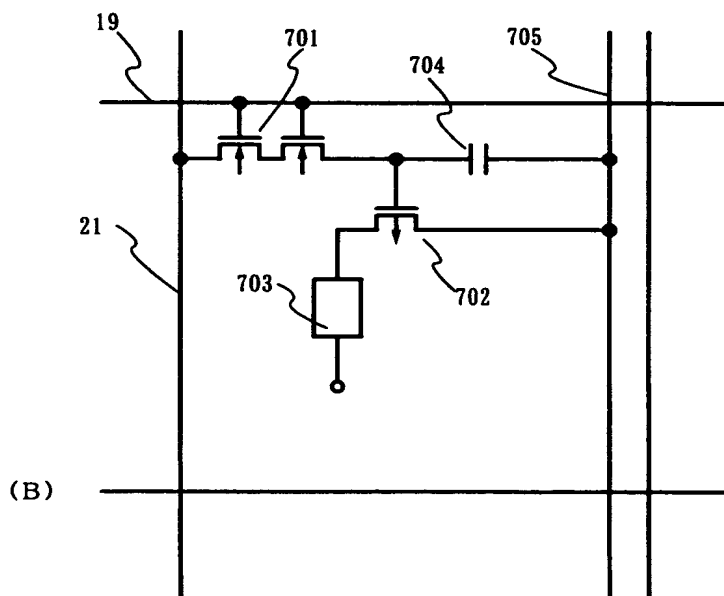
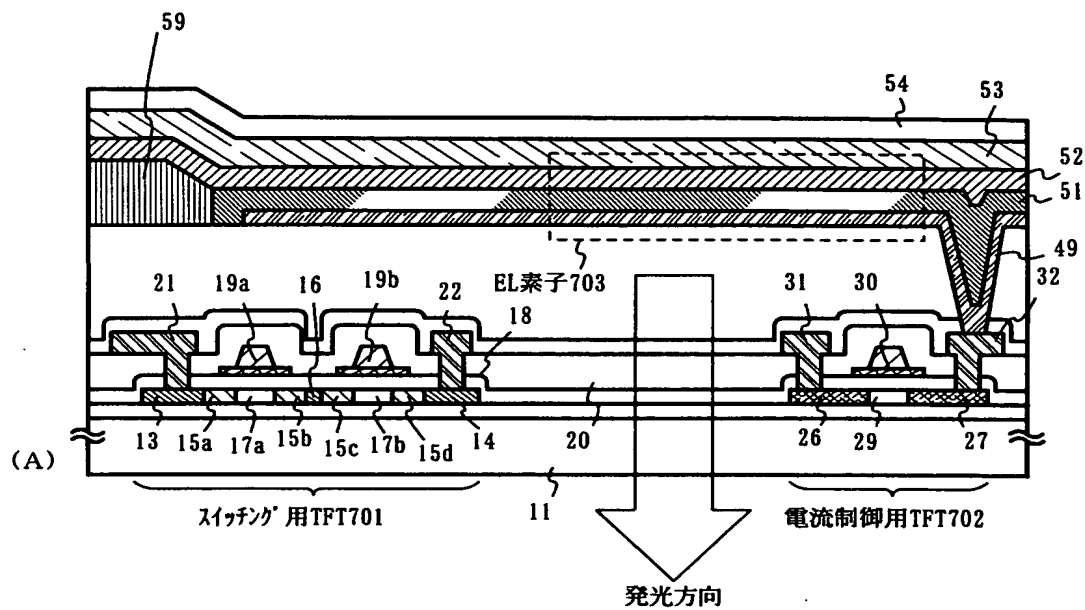
【图 7】



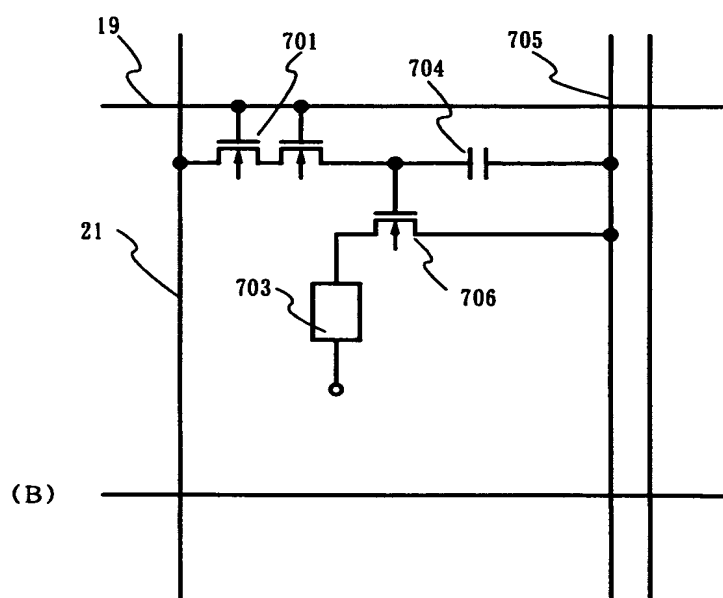
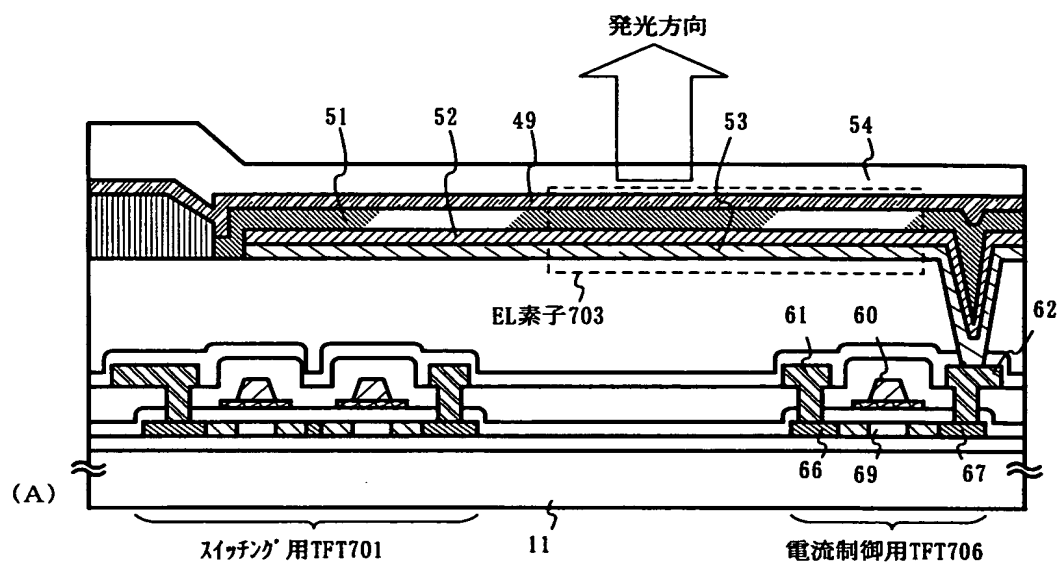
【図 8】



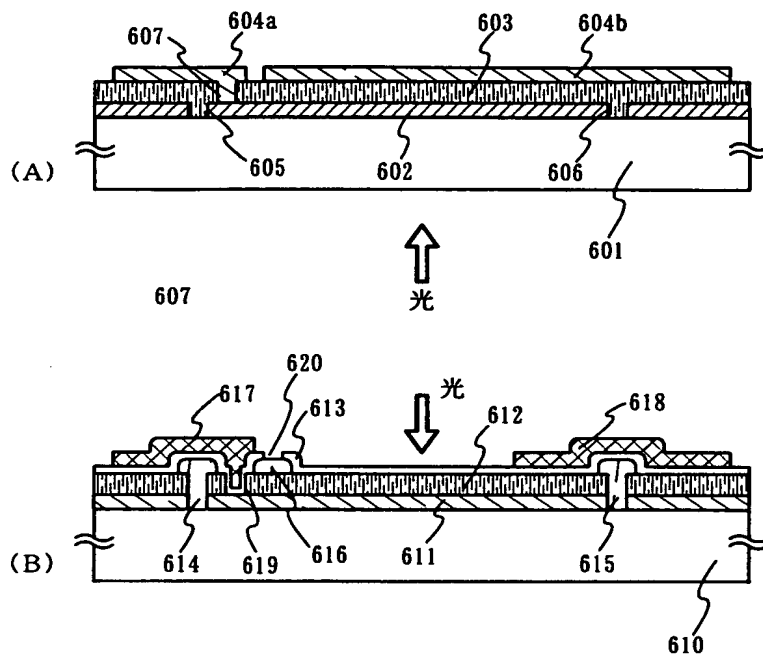
【図 9】



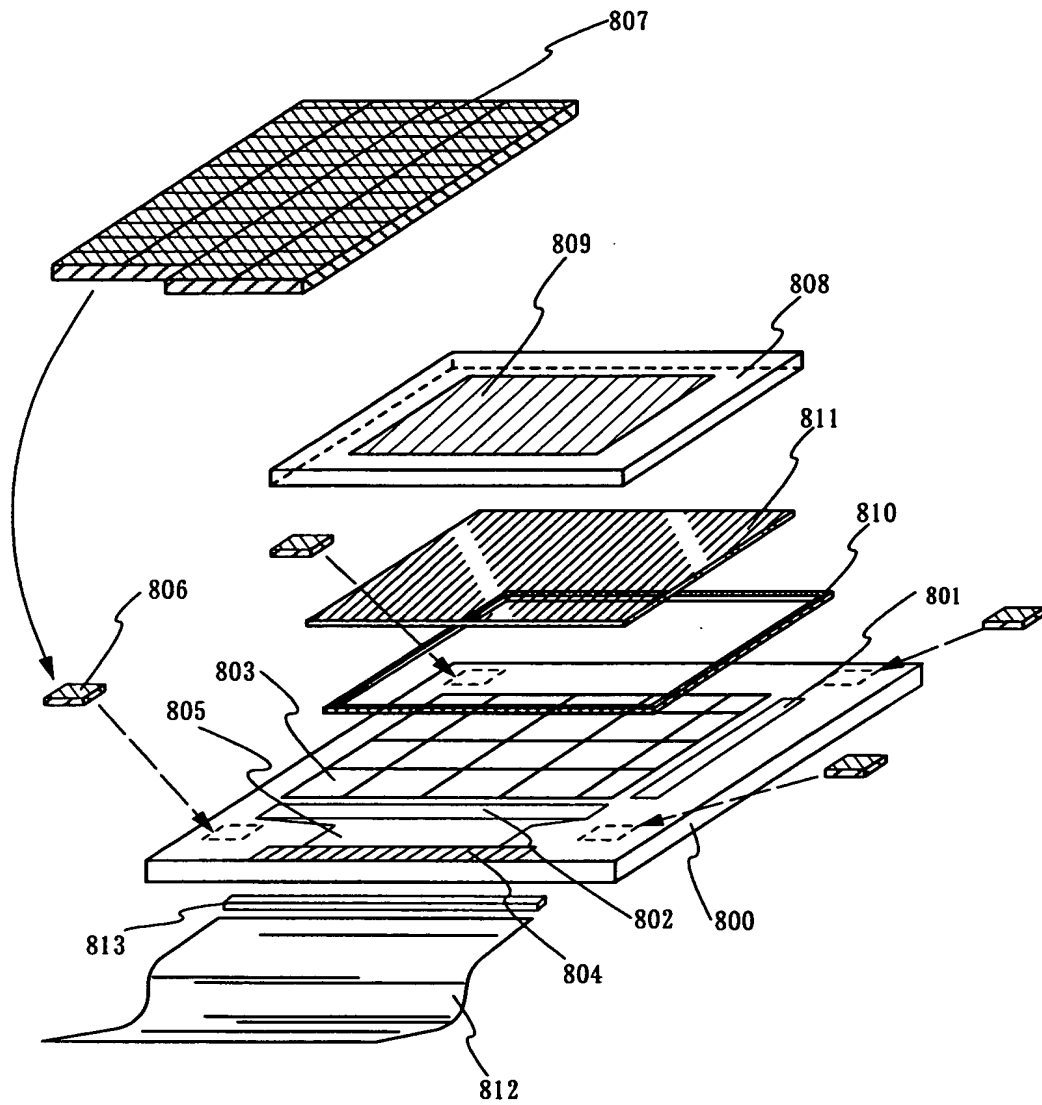
【図 10】



【図 1 1】

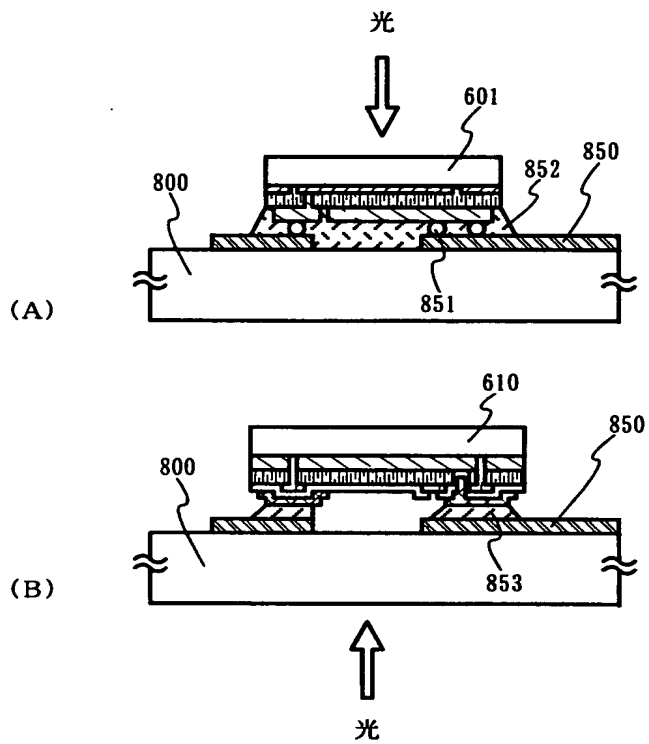


【図 1 2】

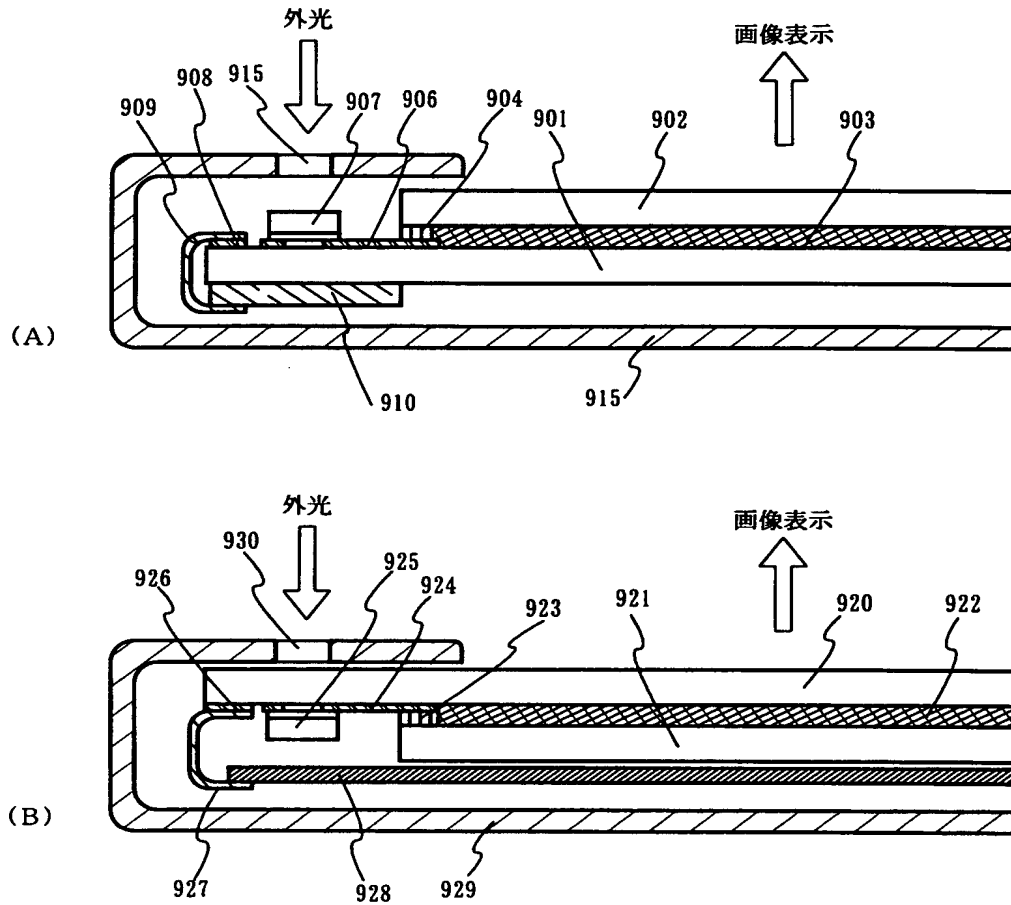




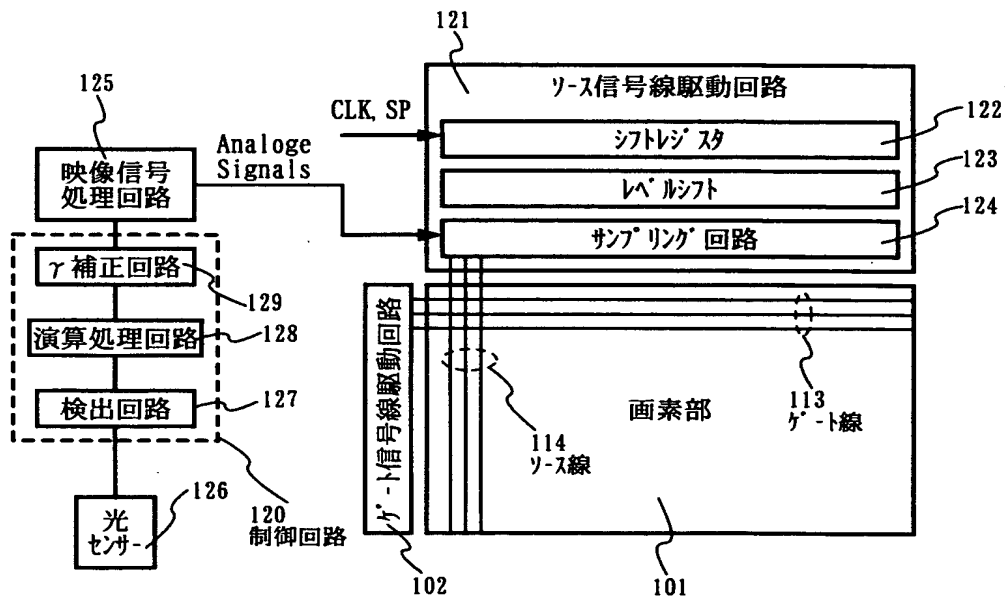
【図 1 3】



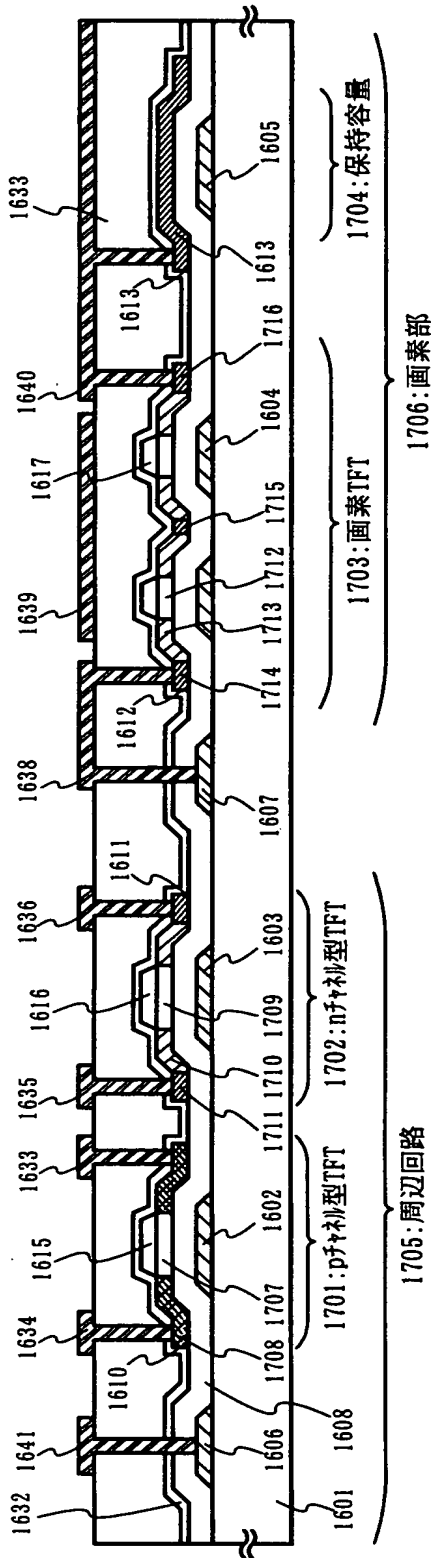
【図 1 4】



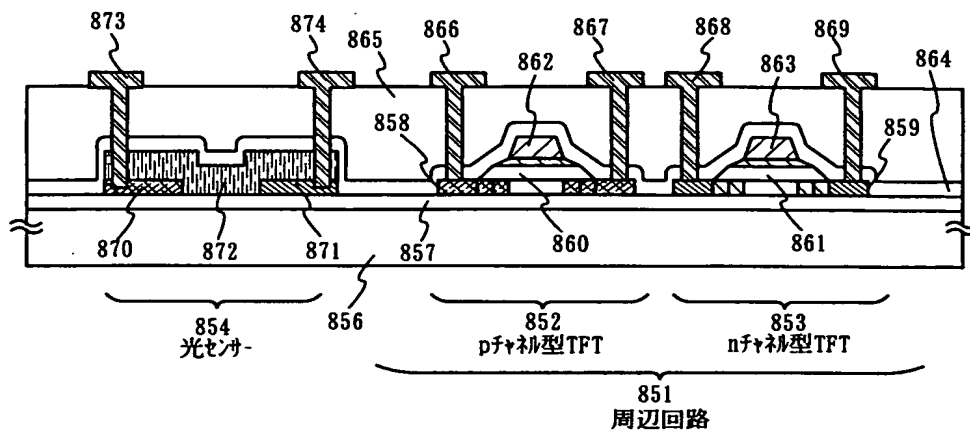
【図 1 5】



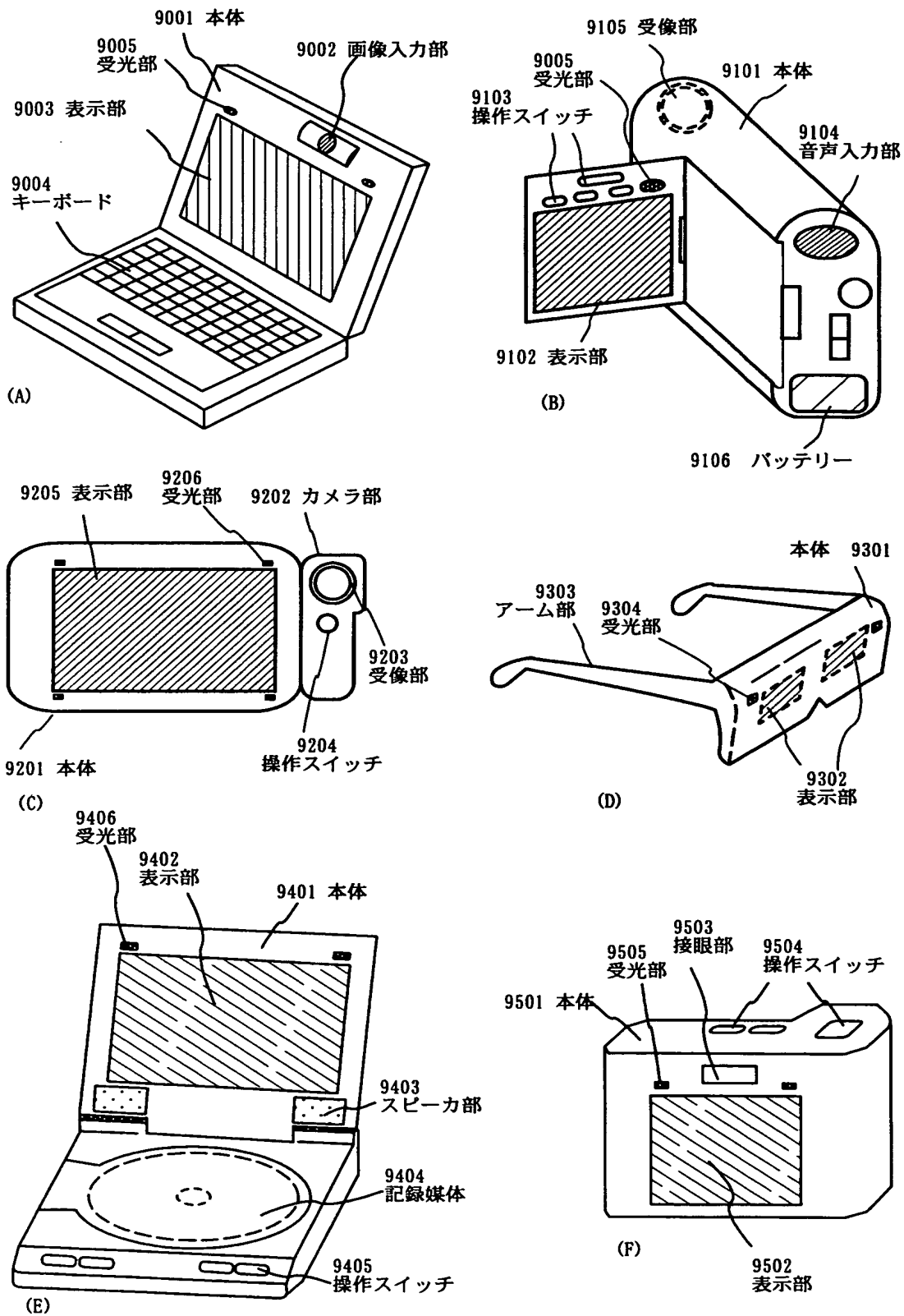
【図 1 6】



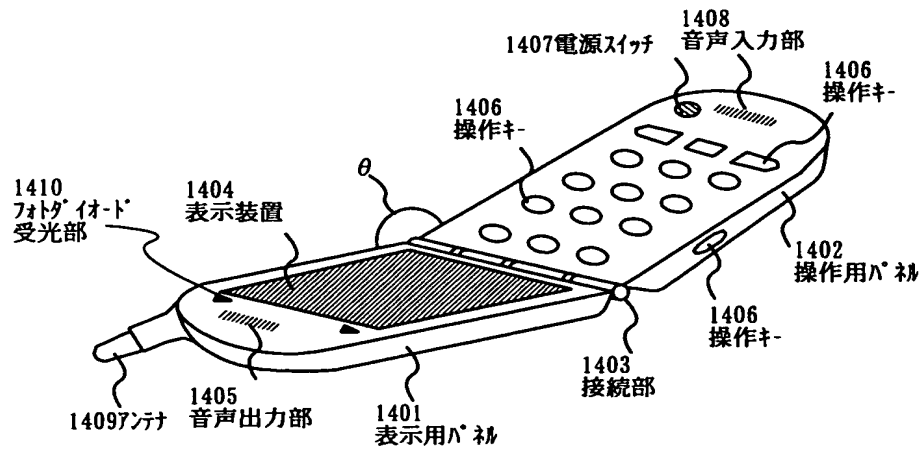
【図 1 7】



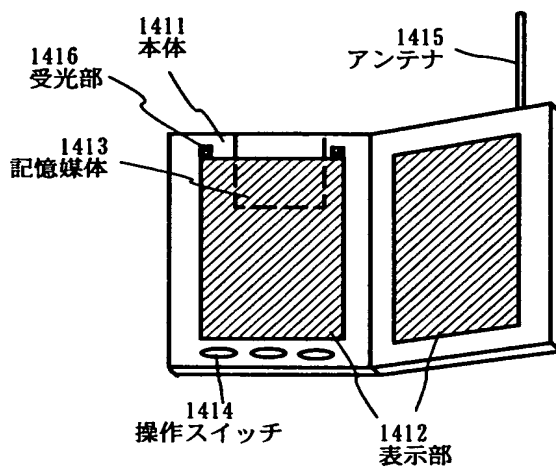
【図 18】



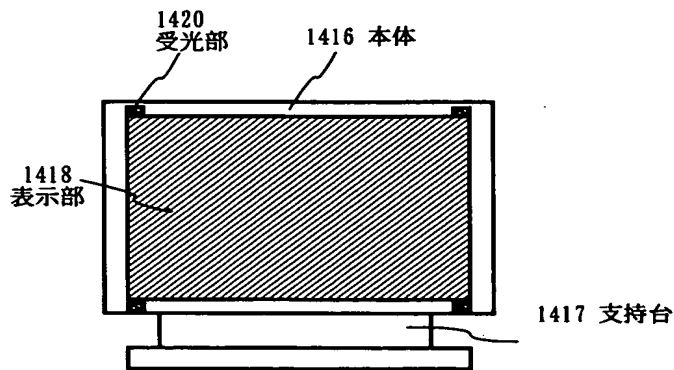
【図 1 9】



(A)

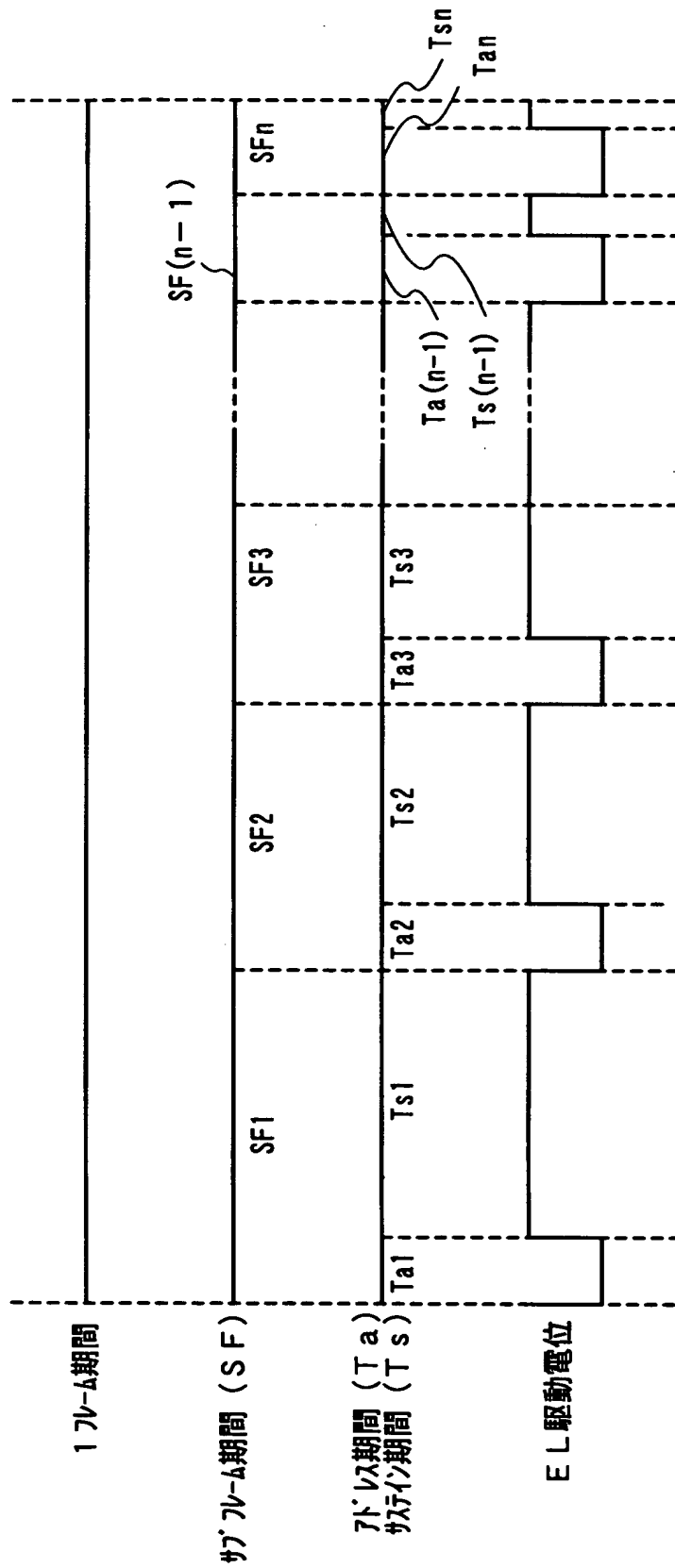


(B)



(C)

【図 2 0】



【書類名】 要約書

【要約】

【課題】 本発明は、周囲の明るさに応じて輝度調節を自動的に調節することを可能とする表示装置を提供することを目的とする。

【解決手段】 上記問題点を解決するために、本発明の構成は、映像信号電圧を階調表示するための駆動電圧に変換する $\gamma$ 補正回路と、前記 $\gamma$ 補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーとを有することを特徴としている。この場合、映像信号電圧を階調表示するための駆動電圧に変換する $\gamma$ 補正回路は第1の基板に形成され、前記 $\gamma$ 補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーが第2の基板に形成され、前記第1の基板に前記第2の基板が固定する。

【選択図】 図1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所